

V o r w o r t

Die folgende Ingenieur-Arbeit entstand nach einer
10 wöchigen Tätigkeit bei der Firma DORNIER in
Friedrichshafen. An dieser Stelle möchte ich mich
bei Herrn Dr. B e c k e r und Herrn H. T h o m a s
für die vorbildliche Betreuung herzlich bedanken.

Konstanz, Oktober 1973

Jürgen Bellingner

I n h a l t

1)	Mathematische Beschreibung der Totzeit	S. 1
2)	Allgemeine Wirkungsweise	S. 2
3)	Eingangs-Operationsverstärker	S. 8
4)	Analog-Digital-Wandler	S. 14
5)	Schieberegister	S. 19
6)	Totzeit	S. 22
7)	Digital-Analog-Wandler	S. 27
8)	Ausgangs-Operationsverstärker	S. 31
9)	Voltage-Controlled-Oscillator (VCO)	S. 35
10)	Steuerung	S. 43
11)	Betriebsarten	S. 45
12)	Buchsenfeld	S. 50
13)	Oszillogramme	S. 53
14)	Technische Daten	S. 54
15)	Gesamtbild des Totzeitglieds	S. 55
16)	Gesamtschaltbild der Steuerung	S. 56

T O T Z E I T G L I E D

Es gibt Regelkreisglieder, die eine vergleichsweise grosse Signallaufzeit besitzen, so dass erst eine gewisse Zeit vergeht, bis sich eine Änderung der Eingangsgrösse auf die Ausgangsgrösse auszuwirken beginnt. Diese Zeitspanne bezeichnet man als Totzeit T_t . Die Totzeit ist also die Zeit, die vergeht, bis sich nach einer Änderung der Stellgrösse eine Änderung der Regelgrösse bemerkbar macht. Die Totzeit wird fast immer durch die endliche Fortpflanzungsgeschwindigkeit des Stellsignals in der Regelstrecke hervorgerufen. Sie wird deshalb auch mit Laufzeit bezeichnet. Die praktisch vorkommenden Totzeiten liegen zwischen Millisekunden und einige Minuten.

Mathematische Beschreibung der Totzeit:

Den Frequenzgang erhält man aus folgender Überlegung: Ist das Eingangssignal durch $x_e = \hat{x}_e e^{j\omega t}$ gegeben, so wird das zeitlich um die Zeitspanne T_t verspätete Auftreten des Ausgangssignals durch $x_a = \hat{x}_a e^{j\omega(t-T_t)}$ ausgedrückt.

Damit ist dann:

$$F(j\omega) = \frac{x_a}{x_e} = \frac{\hat{x}_a \cdot e^{j\omega(t-T_t)}}{\hat{x}_e \cdot e^{j\omega t}} \quad (\text{s. Bild 1})$$

$$\text{da } \hat{x}_a = \hat{x}_e \text{ ergibt sich: } F(j\omega) = e^{-j\omega T_t}$$

Die Totzeit hat wesentlichen Einfluss auf die Regelbarkeit von Strecken und das Stabilitätsverhalten von Regelkreisen.

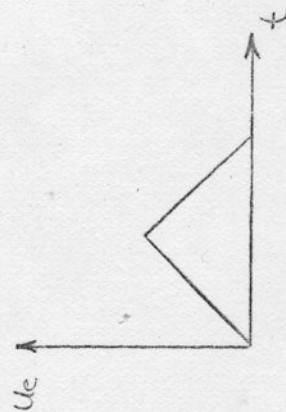
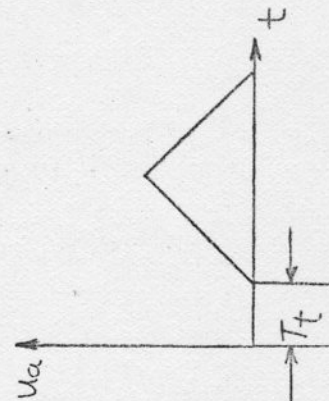
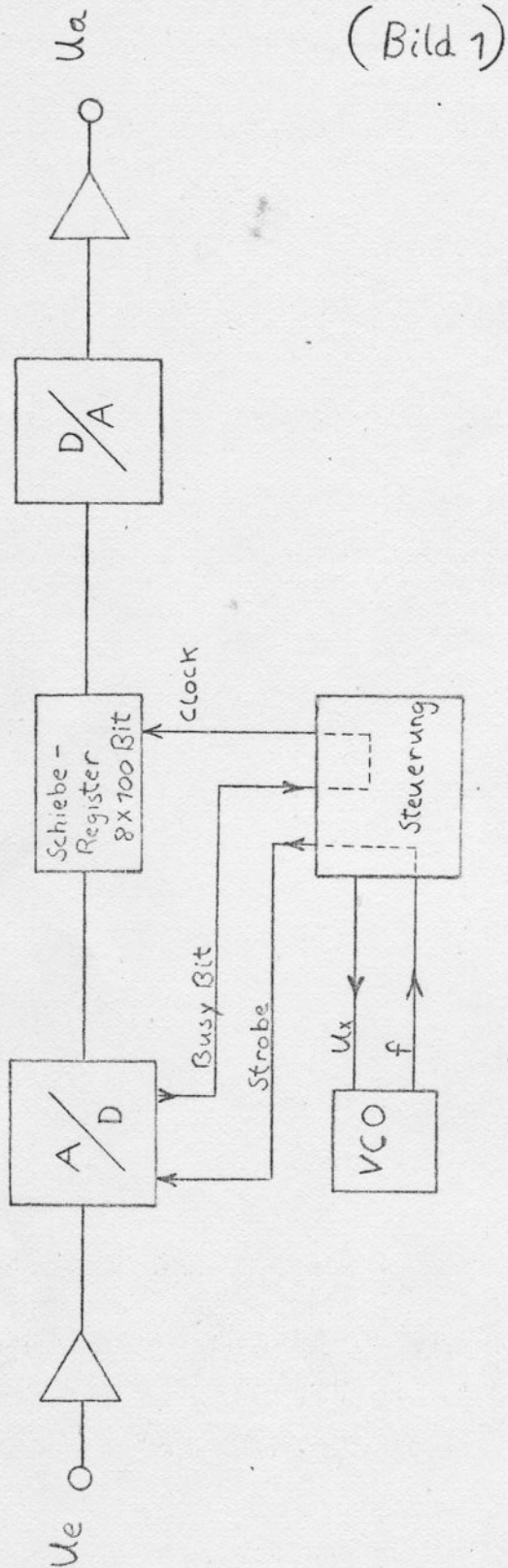
Das folgende Totzeitglied wurde als Zusatzeinheit für den Do 80 Rechner entwickelt. Dieses Totzeitglied verzögert das Eingangssignal vor der Wiederausgabe um eine vorgegebene Totzeit. Die Totzeit lässt sich von 1 Millisekunde bis zu 10 Sekunden einstellen.

Die allgemeine Wirkungsweise wird anhand dem Blockschaltbild (Bild 1) erläutert.

Das Totzeitglied arbeitet unter einem Abtastsystem mit digitaler Verzögerung oder Speicherung der Messwerte.

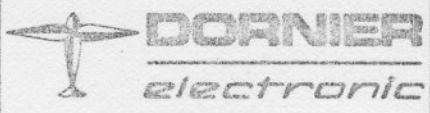
Das analoge Eingangssignal darf zwischen + 10V und - 10V schwanken. Der Analog-Digital-Wandler kann aber nur Impulse zwischen 0V und + 10V verarbeiten. Das Eingangssignal von (- 10V ... + 10V) wird deshalb durch den Eingangs-Operations-Verstärker auf den Spannungsbereich von (0V ... + 10V) komprimiert. Dieses Eingangssignal wird dem Analog-Digital-Wandler (A/D) zugeführt.

Blockschaltbild



AUSG.	TAG	AND. MIT.	BEARB.	GEPR.

GEZEICHNET MASSTAB



Durch einen ^{ein} extremen Takt (Strobe) wird das am A/D-Wandler anliegende Eingangssignal in ein digitales 8-Bit-Wort gewandelt. Nach der Umwandlung wird dieses 8-Bit-Wort einem parallel, 8 x 100 Bit, Schieberegister eingegeben und ist nun das erste Wort in dem 100 Wort Schieberegister. Mit jedem darauf folgenden Takt wird dieses Wort um eine Stelle im Schieberegister weitergeschoben und es wird jeweils mit jedem Takt ein neuer Eingangsimpuls in ein neues 8-Bit-Wort umgewandelt und vom Schieberegister aufgenommen. Nach jeweils 100 Takten stehen die Eingangswerte am Ausgang des Schieberegisters in Form eines 8-Bit-Wort wieder zur Verfügung. Die Wandelzeit des D/A beträgt 5 microseconds und während dieser Zeit wird kein anstehender Eingangsimpuls verarbeitet. Der Takt für den A/D (Strobe) wird auf jeden Fall grösser als 5 us sein. Das Schieberegister benötigt auch einen extremen Takt (Clock), damit es ein Wort aufnimmt und dann systematisch weiterschiebt. Zwischen dem Takt des ^{A/D} D/A (Strobe) und dem Takt des Schieberegisters (Clock) muss eine gewisse Synchronität herrschen, damit das Schieberegister erst dann ein Wort aufnimmt, wenn ein entsprechendes Wort vom ^{A/D} D/A freigegeben wird. Dieser Vorgang wird später intensiv beschrieben.

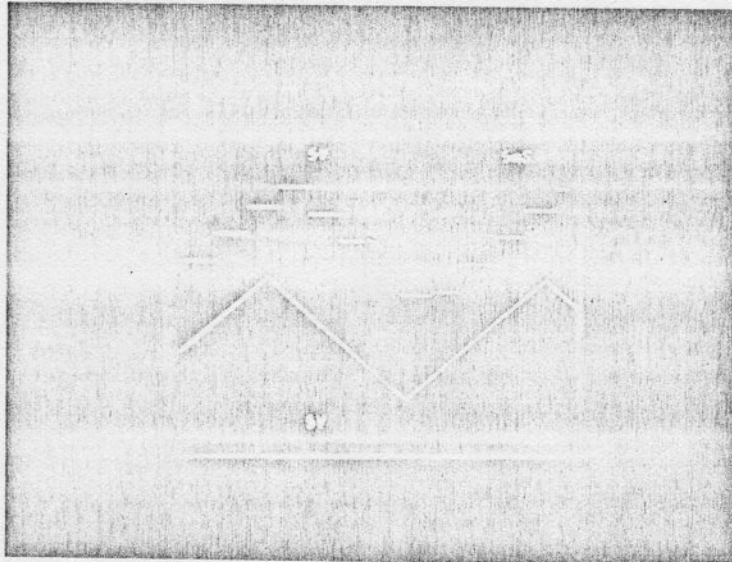
ausführlicher

statt Impuls Signal!

Die an dem Ausgang des Schieberegisters auftretenden 8-Bit-Wörter werden einem Digital-Analog-Wandler (D/A) zugeführt. Der verwendete Digital-Analog-Wandler hat einen Stromausgang. Das digitale 8-Bit-Wort, das an seinen Eingang erlangt, wird also in einen analogen Strom umgewandelt. Dieser analoge Strom wird durch den Ausgangs-Operations-Verstärker in eine entsprechende Ausgangs-Spannung dargestellt. Diese Ausgangsimpulse sind wieder genau so gross, wie sie vor 100 Takten am Eingang des Eingangs-Operations-Verstärker abgetastet wurden. Die Ausgangsimpulse sind aber um die Zeit T_t gegenüber den Eingangsimpulse verzögert und dies ist ja die Totzeit. Die Totzeit ist direkt abhängig von der Durchlaufgeschwindigkeit der digitalen Impulse durch das 100 Bit lange Schieberegister. Dadurch ergibt sich für die Totzeit: $T_t = 100 \cdot t_t$ (t_t ist der Takt des Schieberegisters).

Am Ausgang bildet sich eine Treppenfunktion. Jeder
Treppe ^{entspricht} eine Abtastung am Eingang. (s. Bild 2)

(Bild 2)



Die untere Funktion in Bild 2 ist eine Eingangsfunktion des Totzeitglieds und die Obere ist die entsprechende Ausgangs-Treppenfunktion. Bei einer kontinuierlichen, periodischen Funktion wirkt sich die Totzeit in eine Phasenverschiebung aus. Die Breite der einzelnen Stufen ist bestimmt durch die Abtastfrequenz und unmittelbar ^{gleich} der Taktfrequenz (Clock) des Schieberegisters. Hieraus lässt sich erkennen, dass die Frequenz der Eingangsfunktion kleiner sein muss als die Abtastfrequenz. Je grösser das Verhältnis der $\frac{\text{Abtastfrequenz}}{\text{Eingangsfunktionsfrequenz}}$ ist, desto grösser ist die Stufenzahl der Treppenfunktion pro Periode.

Beispiel:

Eingangsfunktion: Sinusfunktion mit einer Frequenz
von 1kHz

Abtastfrequenz 50kHz

- 1) Durch die Abtastfrequenz (dies ist auch die Taktfrequenz des Schieberegisters) von 50kHz ergibt sich eine Totzeit von:

$$T_t = 100 \cdot t_t = 100 \cdot \frac{1}{f_t} = 100 \cdot \frac{1}{5 \cdot 10^4 \frac{1}{s}} = 2 \text{ ms}$$

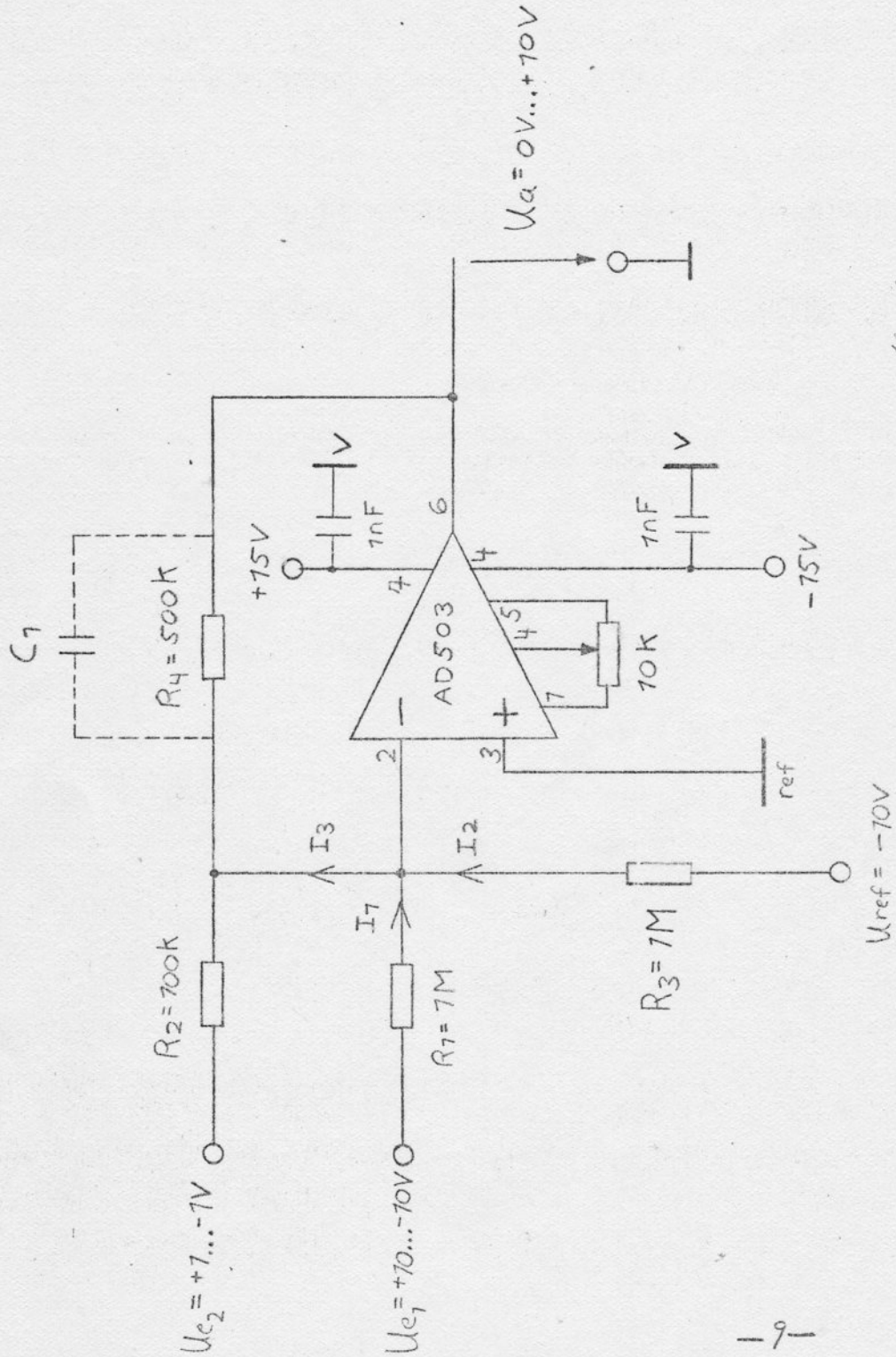
- 2) Die Stufenanzahl pro Ausgangsperiode beträgt:

$$\text{Stufenanzahl} = \frac{50 \text{ kHz}}{1 \text{ kHz}} = 50$$

Bei diesem hohen Verhältnis sind die Stufen der Ausgangsfunktion auf dem Oszillograph kaum noch sichtbar.

(Bild 3)

Eingangs-Operationsverstärker



AD 503 ed 8/10/80

					GEZEICHNET	MASSTAB
						
AUSG.	TAG	AND. MIT.	BEARB.	GEPR.		
					BLATT	

Dadurch erhält man den erwünschten Spannungsbereich für den A/D:

Eingangsspannung		Spannung am A/D
+ 10V	————	0V
⋮		⋮
0V	————	+ 5V
⋮		⋮
- 10V	————	+10V

Die Spannungen verlaufen zwar umgekehrt zueinander, dass wird aber durch den Ausgangsoperationsverstärker wieder ausgeglichen.

Der 100k - Eingang ist nur verwendbar, wenn die Eingangsspannungen zwischen + 1V und - 1V liegen.

Hier bekommt man die Gleichung:

$$U_a = - \left(\frac{U_e}{R_2} + \frac{U_{ref}}{R_3} \right) \cdot R_4$$

Damit erhält man folgende Spannungsbereich:

Eingangsspannung		Spannung am A/D
+ 1V		0V
⋮		⋮
0V		+ 5V
⋮		⋮
- 1V		+ 10V

Durch diesen zweiten Eingang (100k) wird der Spannungsbereich des A/D voll ausgenützt, obwohl die Eingangsspannungen des Totzeitglieds nur + 1V ... - 1V betragen.

Die Widerstände: R₁ , R₂, R₃ und R₄ haben eine Toleranz von 0,1%. Dieser exakte Wert ist notwendig, damit keine Verfälschung zwischen den zwei Spannungsbereichen (+ 10V ... - 10V und 0V ... + 10V) auftreten, da die

In dem folgenden Teil ... z.B. durch ...

Genauigkeit von U_a allein durch die Widerstände abhängt.

Die Offset-Spannung vom AD 503 wird mit Hilfe eines 10k - Pots kompensiert. Der Abgleich folgt bei einer Eingangsspannung von 0V. Das Pot wird so eingestellt, dass die Ausgangsspannung vom AD 503 $5V \pm 1 \text{ mV}$ beträgt.

Der AD 503 hat Versorgungsspannungen von $\pm 15V$, die jeweils mit 10nF Kondensatoren gegen Masse abgeblockt sind.

Bei dem hohen Eingangswiderstand von 1M kann es vorkommen, dass der Operationsverstärker zu schwingen neigt. Sollte dieser Zustand eintreten, kann man durch den Kondensator C_1 (Größenordnung: 20 pF) solches Schwingen verhindern. Es muss aber beachtet werden, dass man C_1 nicht zu gross macht, sonst wird der Frequenzgang des AD 503 beeinflusst.

*Blöckel
Anpassung*

}

*durch Rückkopplung
vom ADC über die
Spannungsversorgung*

Berechnung?

$$t_{\text{min}} = 10 \mu\text{s}$$
$$Z = 3 \mu\text{s} = 500 \text{ k}\Omega * C$$
$$C = \frac{3 \mu\text{s}}{500 \text{ k}\Omega} = 6 \text{ pF}$$

GENERAL DESCRIPTION

The ANALOG DEVICES AD503J and AD503K are high performance operational amplifiers manufactured by combining a dual monolithic FET chip with a monolithic amplifier chip. This combination allows optimization of the characteristics of both elements which results in very low offset and bias currents, high slew rate, high common mode rejection ratio, and freedom from "latch-up." In addition, both devices are short circuit protected and are in the same pin configuration as the AD741 operational amplifier. No external compensation is required as the internal 6 dB/octave roll-off provides stability in closed loop applications. Both the AD503J and AD503K are available in the TO-99 package for operation over the 0°C to +70°C temperature range.

ABSOLUTE MAXIMUM RATINGS

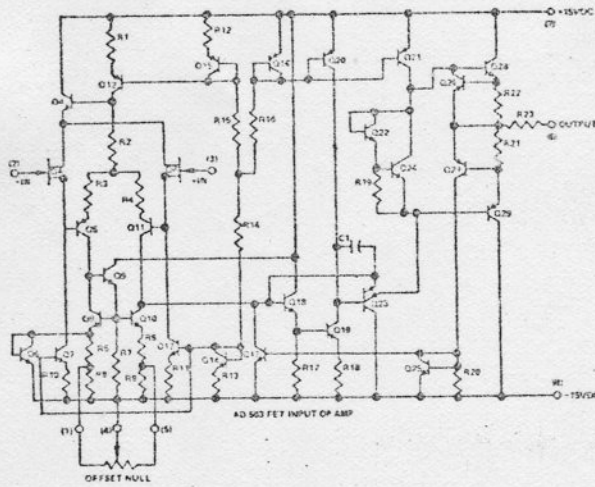
AD503J and AD503K

Supply Voltage	±18V
Internal Power Dissipation	500 mW
Differential Input Voltage	±30V
Input Voltage (Note 1)	±15V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	0°C to +70°C
Lead Temperature (Soldering, 60 sec)	300°C
Output Short-Circuit Duration	Indefinite

NOTES:

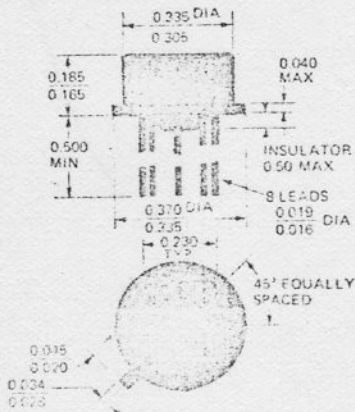
Note 1: For supply voltages less than ±15 volts, the absolute maximum input voltage is equal to the supply voltage.

SCHEMATIC DIAGRAM

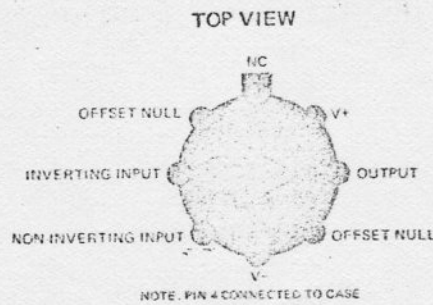


PHYSICAL DIMENSIONS

In Accordance with JEDEC TO-99 Outline.
Except Diameter of Pin Circle



CONNECTION DIAGRAM



PRELIMINARY SPECIFICATION

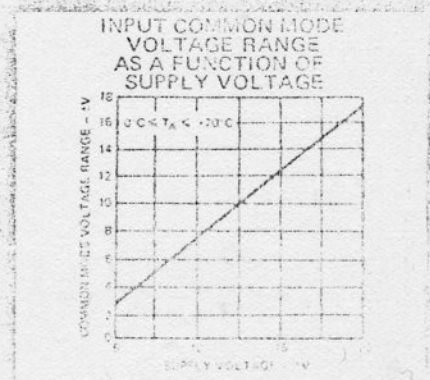
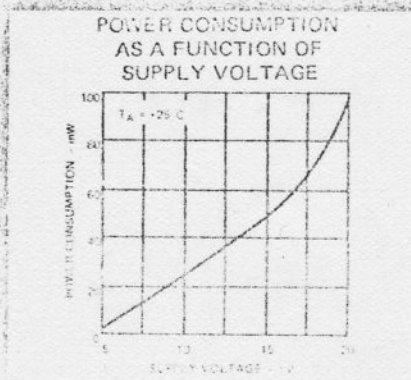
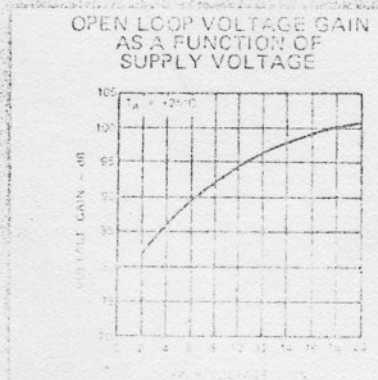
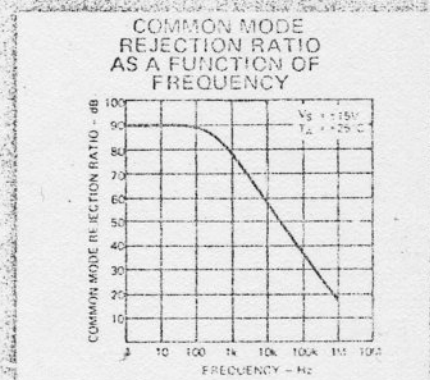
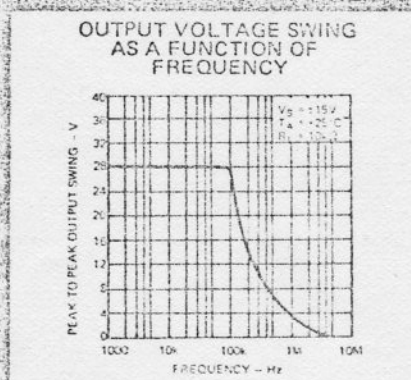
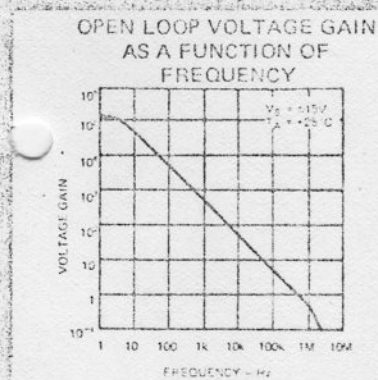
PRINTED IN U.S.A.

Parameters	Conditions	AD503J			AD503K			Units
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$R_S \leq 100K \Omega$		20	50	5	20		mV
Input Offset Current (Note 1)			0.5	15	0.5	5		pA
Input Bias Current (Note 1)			5	25	2	10		pA
Input Resistance Common Mode			10^{12}		10^{12}			Ω
Differential			10^{11}		10^{11}			Ω
Input Capacitance			2.0		2.0			pF
Large Signal Voltage Gain	$R_L > 2K \Omega, V_O = \pm 10V$	20,000	50,000		50,000	120,000		V/V
Noise (RMS)	$f = 4 \text{ Hz to } 10 \text{ KHz}$		7		7			μV
Output Resistance			75		75			Ω
Output Short Circuit Current			25		25			mA
Supply Current			3.0	6.0	3.0	6.0		mA
Slow Rate		4.0	6.0		4.0	6.0		V/ μ sec
Unity Gain Bandwidth			1.0		1.0			MHz
Transient Response (Unity Gain)	$R_L = 2K \Omega, C_L \leq 100 \text{ pF}$							
Rise Time			300		300			nsec
Overshoot			5		5			%

Input Offset Voltage	$R_S \leq 100K \Omega$		20	55	5	25		mV
Average Temp Coefficient of Input Offset Voltage			30	75	15	25		$\mu V/^\circ C$
Input Offset Current	$T_A = +70^\circ C$		15	350	15	120		pA
Input Bias Current	$T_A = +70^\circ C$		120	600	50	240		pA
Large Signal Voltage Gain		15,000			40,000			V/V
Input Voltage Range		± 10	± 12		± 10	± 12		V
Common Mode Rejection Ratio		70	90		70	90		dB
Supply Voltage Rejection Ratio			100	400	50	200		$\mu V/V$
Output Voltage Swing	$R_L \geq 10K \Omega$	± 12	± 14		± 12	± 14		V
	$R_L \geq 2K \Omega$	± 10	± 13		± 10	± 13		V

Note 1: Doubles every $+10^\circ C$

TYPICAL PERFORMANCE CURVES



werden, sondern müssen separat zum Rechner geführt werden.

Die drei Versorgungsspannungen + 5V, + 15V, -15V sind jeweils mit 1 nF gegen Masse abgeblockt.

Die Ausgangspegel des A/D sind TTL kompatibel, das heisst:

logisch "0" entspricht einer Spannung zwischen 0V und + 0,8V

logisch "1" entspricht einer Spannung zwischen + 2,4 V und 5,0V

Ausschluß größer 2,4 V

n. Eingang Schieberegister

ULTRA FAST, 8 BIT A/D CONVERTERS

MODELS
ADC 540-8
ADC 540WB-8

Ultra Fast A/D Converter Now in Miniature Module - 2" x 2" x 0.4"

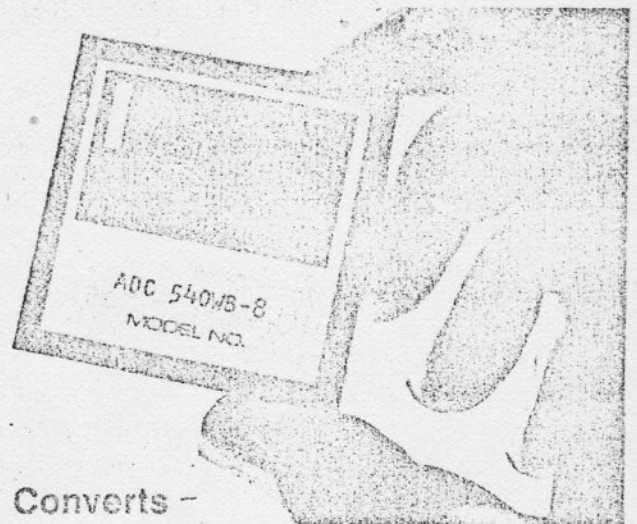
- FAST CONVERSION
- COMPACT - 2"X2"X0.4
- COMPLETE - READY TO USE
- PC MOUNTING
- DIP COMPATIBLE PIN SPACING
- ±15V, +5V POWER SUPPLY

ADC 540 Series

The ADC 540 are a series of state of the art, ultra high speed, general purpose A/D converters packaged in a remarkably compact 2"X2"X0.4" module. The standard ADC 540-8 converts 8 bits in under 5μS and the extra fast ADC 540WB-8 converts them in under 3μS. The units are complete with all logic, references, clocks; no extra components are required for operation. The high speed and small size is achieved by a unique modification to the successive approximation technique combined with an extremely fast settling, proprietary D/A converter.

Special Reliability Features

To assure long life and good stability, all ADC 540 converters have these three important reliability features: all active components are hermetically sealed - no plastic transistors or IC's, all precision resistors are thin film type, all converters are burned in under power for 72 hours minimum - a real reliability bonus.



Converts -
in 3μS!

SUMMARY SPECIFICATIONS

MODEL	540-8	540WB-8
RESOLUTION	8	8
CONVERSION TIME	5μS Max	3μS Max
OUTPUT CODES	BINARY & BCD	
SAMPLING RATE	200KHZ	330KHZ
ACC. TEMPCO	50PPM/°C	50PPM/°C
INPUT RANGE	0 to +10V	

* Same as Column on Left.
COMPLETE SPECIFICATIONS ON REVERSE SIDE

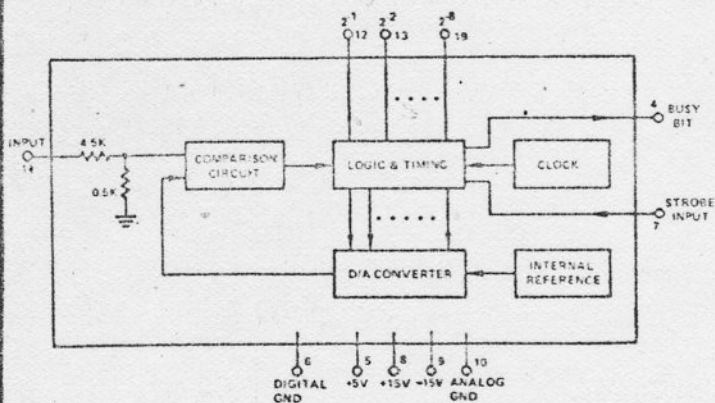
ORDERING INFORMATION

MODEL	CODE
ADC540-8	8 Bits Binary
ADC540WB-8	8 Bits Binary
Wide Temperature Option -55°C to +125°C. Add suffix-MTL.	

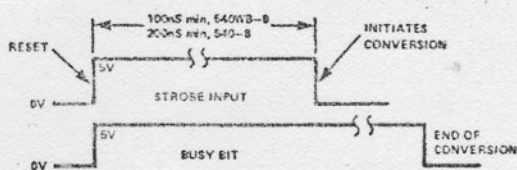
HYBRID SYSTEMS CORP.

NEUMÜLLER SH
ELEKTRONISCHE BAUELEMENTE UND ELEKTRONISCHE MESSGERÄTE
8 MÜNCHEN 2 · KARLSSTRASSE 55 · TEL. 59 24 21 36 73 06 · TELEX 05 22 108

NOTES ON USE



1. TIMING



Both the Strobe Input and the Busy Bit are standard TTL levels. Rise Time of the Strobe Input should be 1 μ S min.

2. INPUT OVERLOAD

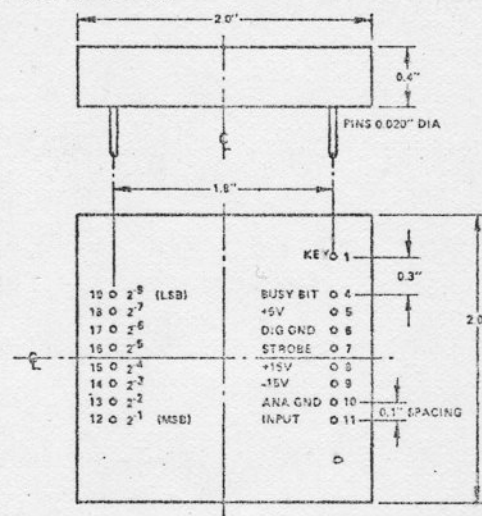
If the input signal exceeds the full scale, the output digital code becomes all "ones".

3. CODING -BINARY

ANALOG INPUT	OUTPUT CODE							
	2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	2 ⁻⁶	2 ⁻⁷	2 ⁻⁸
+9.96	1	1	1	1	1	1	1	1
+7.50	1	1	0	0	0	0	0	0
+5.00	1	0	0	0	0	0	0	0
+2.50	0	1	0	0	0	0	0	0
+0.04V*	0	0	0	0	0	0	0	1
0.00V	0	0	0	0	0	0	0	0

*ILSB = 10V/256

MECHANICAL



SPECIFICATIONS

MODEL	ADC 540-8	ADC 540WB-8
DIGITAL		
Conversion Type	Successive Approximation	
Resolution	8 Bits	8 Bits
Output Code	Binary, Parallel	
Output Type	TTL, DTL Compatible	
"0"	<+0.5V	
"1"	>+2.5V drives up to 4TTL loads	
Conversion Time	5 μ S Max	3 μ S Max
Max Sampling Rate	200K/SEC	320K/SEC
ANALOG		
Input Range	0 to +10V	
Input Impedance	5K	2K
Reference	Internal	
ACCURACY AND STABILITY		
Accuracy	0.2%**	
Quantization	± 1 ILSB	
Accuracy vs Temp.	50PPM/°C	
Linearity vs Temp.	20PPM/°C	
Long Term Stability	0.05%/year	
Precision Network	Matched discrete thin film resistors	

RELIABILITY

Construction	Encapsulated modules, factory repairable
Active Components	All hermetically sealed - no plastics
Factory Burn-In	72 Hour
Warranty Period	3 years

ENVIRONMENTAL

Operating Temperature	
Standard Versions	0 to +70°C
-MIL Versions	-55°C to +125°C
Power Supply	+15V @ 40 mA, -15V @ 20 mA, +5V @ 100 mA
Power Supply Reg.	0.05%/%
Dimensions	2"x2"x0.4"
Weight	Under 2 oz

*Same as column on left

**Includes all effects due to offset, gain, and linearity

REPRESENTED BY

HYBRID SYSTEMS CORP.

26 HS 12 0872

NEUMÜLLER
ELECTRONISCHE BAUELEMENTE UND ELEKTRONISCHE MESSGERÄTE
8 MÜNCHEN 2 · KARLSTRASSE 56 · TEL. 592421/597306 · TELEX 0322103

Das Schieberegister

Allgemein: Schieberegister bestehen aus Flipflops, die so hintereinander geschaltet sind, dass jeweils der Ausgang eines Flipflops mit dem Eingang des nächsten Flipflop verbunden ist. Legt man an den Eingang dieser Flipflop-Kette eine Information, so wird diese mit dem nächsten Taktimpuls übernommen und im ersten Flipflop gespeichert. Der nächste Taktimpuls "schiebt" dann die Information in die zweite Stelle des Registers, während die erste Stelle eine neue Information übernimmt. Nach n-Taktimpulsen ist also eine Information um n-Stellen in einem Schieberegister verschoben worden.

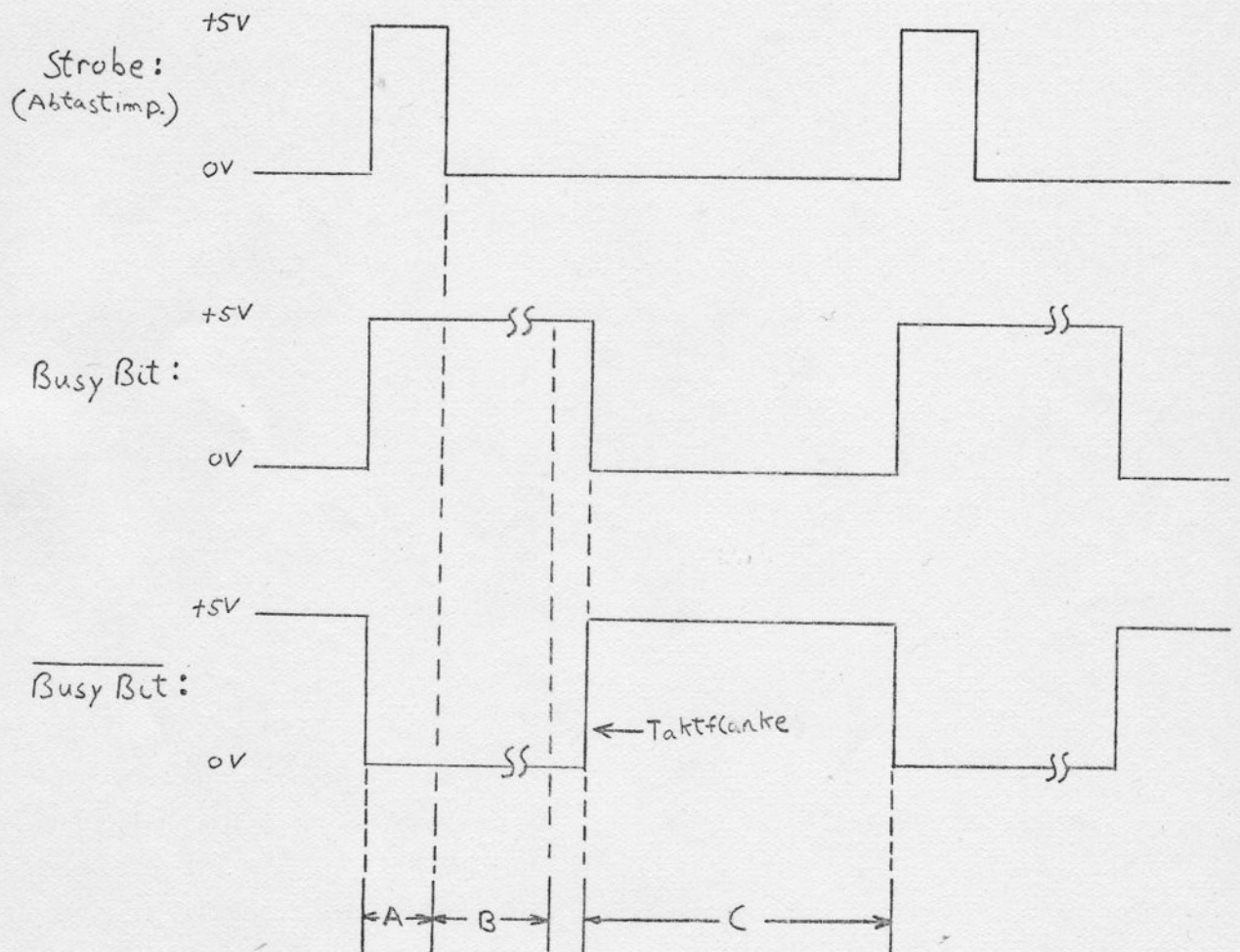
Das komplette Schieberegister des Totzeitglieds wurde mit den integrierten MOS Bausteinen (2510k) der Firma Signetics aufgebaut. Dazu wurden 4 (2510k) statisch, parallele Schieberegister benötigt, da jeder 2510k ein 2 x 100 Bit Schieberegister ist. 2x 100 Bit bedeutet, dass der 2510k 2 Schieberegister mit je 100 Stellen besitzt. Um ein 8-Bit-Wort zu verarbeiten benötigt man also 8 Schieberegister bzw. 4 x 2510k Schieberegister. Die 2510k sind wie (Bild 4) zeigt zusammengeschaltet.

Damit ein 8-Bit-Wort (Information)übernommen und anschliessend verschoben wird, ist ein Taktimpuls (Clock) notwendig. Für diesen Taktimpuls wird der abgegebene Busy-Bit des A/D verwendet. *kurz*

Wie schon darauf hingewiesen wurde, muss zwischen dem Strobe des A/D und dem Taktimpuls des Schieberegisters eine gewisse Synchronität herrschen.

Der Grund für diese Synchronität ist folgender:

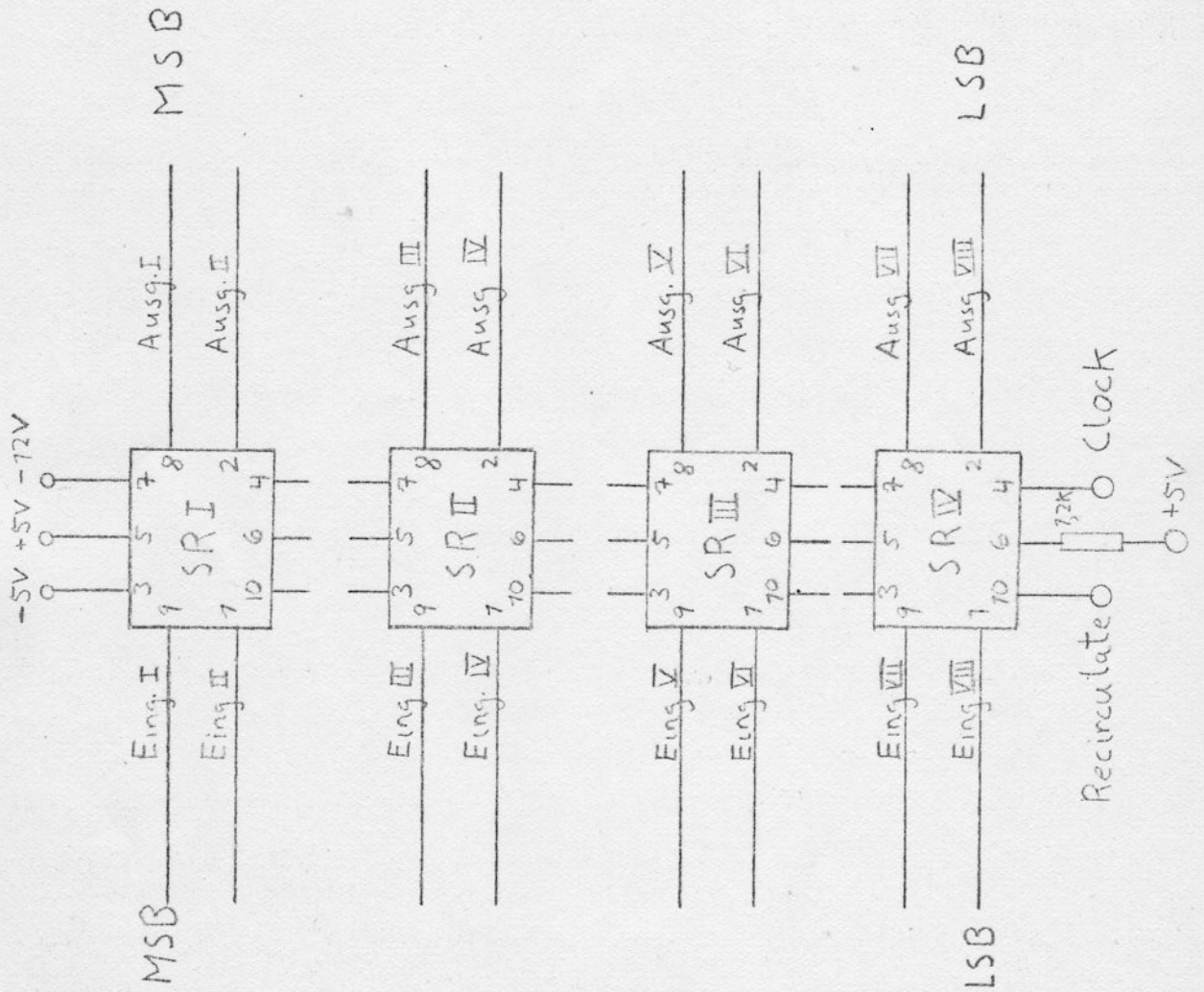
Der Taktimpuls für das Schieberegister (Clock) darf erst dann kommen, wenn ein fertig gewandeltes 8-Bit-Wort am A/D Ausgang ansteht.



Der Clockimpuls darf nach obigem Impulsdiagramm nur im Zeitbereich C erfolgen. Im Zeitbereich A stellt sich der Ausgang des A/D auf die Konfiguration L0000000 ein und während der Wandelzeit (Bereich B) hat der

Schieberegister

(Bild 4)



					GEZEICHNET	MASSTAB	-21-
AUSG.	TAG	AND. MIT.	BEARB.	GEPR.			BLATT

Ausgang einen undefinierten Zustand. Durch einen Clockimpuls in den Bereichen A und B würde das Schieberegister eine falsche Information erhalten.

Das fertig gewandelte 8-Bit-Wort steht etwas vor der Abstiegsflanke des Busy-Bits am Ausgang zur Verfügung, dadurch kann man diese Abstiegsflanke (L - 0 Übergang) benützen um eine Information in das Schieberegister einzugeben. Laut dem Impulsdiagramm im Datenblatt des 2510k wird durch die Anstiegsflanke (0 - L Übergang) des Clockimpulses eine Information in das Schieberegister eingeschoben. Um diese Bestimmung zu erfüllen, wird das Busy-Bit durch eine logische Verknüpfung in der Steuerung invertiert. Der Clockimpuls des Schieberegisters ist also das invertierte Busy-Bit des A/D!

Die Totzeit ist allein von dem Schieberegister bzw. der Clock-Frequenz abhängig. Da die Strobe, Busy-Bit und Clock-Frequenz alle gleich sind, bekommt man mit einer klein eingestellten Totzeit mehr Abtastungen der Eingangsfunktion als bei einer grossen Totzeit.

$$\text{Totzeit} = 100 \times \frac{1}{\text{Clock-Frequenz}} = 100 \times \frac{1}{\text{Strobe-Frequenz}}$$

Der 2510k ist auch mit einer wichtigen "Recirculate" (Umlauf) Möglichkeit ausgestattet. Durch das Recirculate erhält man folgendes:

Die Eingangsfunktion wird nicht weiter abgetastet. während der Inhalt des Schieberegister zyklisch umläuft und ständig an den Digital-Analog-Wandler

ausgegeben wird. Das Totzeitglied kann also mit der Recirculate-Einrichtung als Umlaufspeicher eingesetzt werden, das einen beliebigen Funktionsverlauf periodisch wiedergibt.

Damit das Recirculate herrscht, muss der Pin 10 von allen vier 2510k Schieberegister auf logisch "0" (+ 0V) gebracht werden. Das Recirculate wird aufgehoben durch ein logisches "L" (+ 5V) an die Pins 10.

Der Output Enable des 2510k wird nicht verwendet, deshalb werden die Pins 6 auf logisch "L" festgebunden.

Der 2510k benötigt Versorgungsspannungen von + 5V, - 5V und - 12V. Die - 5V und - 12V werden mit entsprechenden Zenerdioden aus - 15V erzeugt.

(s. Gesamtschaltbild) Die Versorgungsspannungen werden jeweils an jedem 2510k Schieberegister einzel mit 1 nF abgeblockt.

DESCRIPTION

These Signetics 2500 Series Dual 50, 100, and 200 bit recirculating static shift registers consist of enhancement mode P-channel silicon gate MOS devices integrated on a single monolithic chip. Internal recirculation logic plus TTL/DTL level clock signals plus TRI-STATE outputs are provided for maximum interfacing capability.

FEATURES

- TRI-STATE MOS OUTPUTS - PROVIDE POWERFUL BUSSING CAPABILITY
- TTL/DTL COMPATIBLE CLOCKS - PROVIDE EXTREMELY LOW CLOCK CAPACITANCE
- RECIRCULATION PATH ON CHIP
- THREE BIT LENGTHS AVAILABLE
- HIGH FREQUENCY OPERATION
- 2MHz GUARANTEED CLOCK RATE
- TTL, DTL COMPATIBLE SIGNALS
- STANDARD PACKAGES - 10 LEAD TO-100, 14 PIN DIP
- SIGNETICS P-MOS SILICON GATE PROCESS TECHNOLOGY

APPLICATIONS

- LOW COST SEQUENTIAL ACCESS MEMORIES
- LOW COST STATIC BUFFER MEMORIES
- CRT REFRESH MEMORIES - LINE STORAGE

SPECIAL FEATURES

The three clock phases used by the register cells are generated internally by an on chip generator. This clock generator is controlled by a single TTL/DTL 5V logic level input.

The output has three states:

- "1" low impedance to +5V
- "0" low impedance to -5V
- "OFF" high impedance $\approx 10 \text{ M ohm}$

The "OFF" state is controlled by the Output Enable control input.

PROCESS TECHNOLOGY

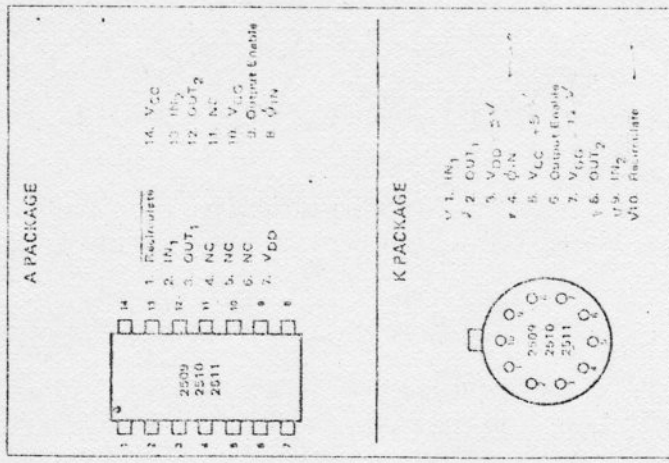
Use of low threshold silicon gate technology allows high speed (2 MHz Guaranteed) while reducing power dissipation and clock input capacitance dramatically as compared to conventional technologies.

The use of low voltage circuitry minimizes power dissipation and facilitates interfacing with bipolar integrated circuits.

BIPOLAR COMPATIBILITY

The clock and signal inputs of these registers can be driven directly by standard bipolar integrated (TTL, DTL, etc.) or by MOS circuits. The TRI-STATE output stage provides driving capability for both MOS and bipolar integrated circuits (see standard TTL load).

PIN CONFIGURATIONS (Top View)



PART IDENTIFICATION TABLE

PART NUMBER	BIT LENGTH	PACKAGE
2509K	Dual 50	10 Pin, TO-100
2509A	Dual 50	14 Pin, DIP
2510K	Dual 100	10 Pin, TO-100
2510A	Dual 100	14 Pin, DIP
2511K	Dual 200	10 Pin, TO-100
2511A	Dual 200	14 Pin, DIP

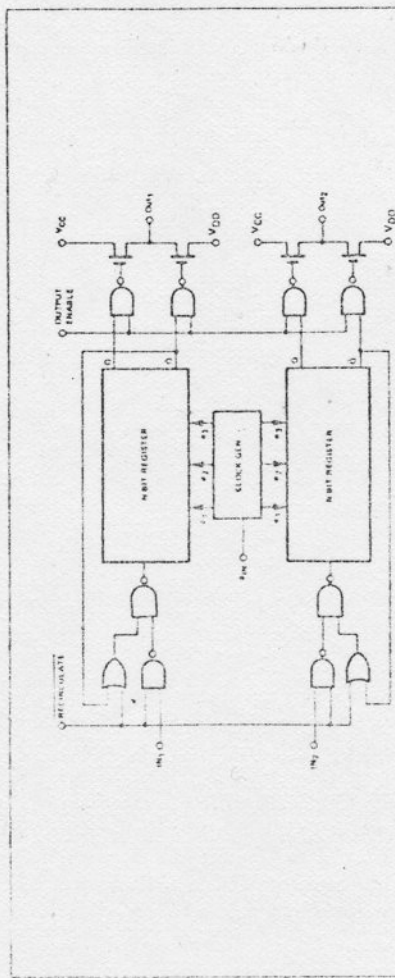
MAXIMUM GUARANTEED RATINGS (1)

Operating Ambient Temperature (2)	0°C to +70°C
Storage Temperature	-65°C to +150°C
Package Power Dissipation (A & K) IN-20, 21, 23, TA = 70°C	530mW
Data and Clock Input Voltages and Supply Voltages with respect to V _{CC} (3)	+0.3V to -20V

NOTES

1. Stresses above those listed under "Maximum Guaranteed Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied.
2. For operation at elevated temperatures the device must be derated linearly on a +150°C maximum junction temperature and derated linearly to 0°C.
3. All voltages are protected against static charge.
4. Parameters are valid over operating temperature range unless otherwise specified.
5. All voltage measurements are referenced to ground.
6. Manufacturer reserves the right to make design and process changes and improvements.
7. Typical values are at +25°C and nominal supply voltages.
8. V_{CC} tolerance is ±5%. Any variation in actual V_{CC} will be traced directly by V_{IL}, V_{IH} and V_{OH} which are stated for a V_{CC} of exactly 5 volts.

BLOCK DIAGRAM



- NOTES:
1. If output enable "0" output is "off".
 2. If output enable "1", see Truth Table.

TRUTH TABLE:

RE-CIRCULATE	INPUT	FUNCTION
0	0	Recirculate
0	1	Recirculate
1	0	"0" is Written
1	1	"1" is Written

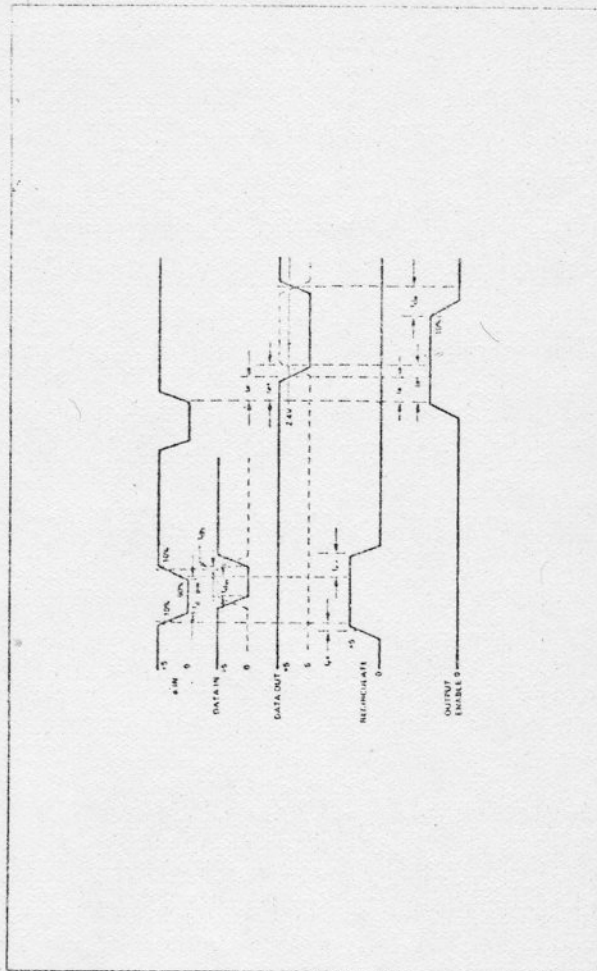
NOTE: 0 = OFF, 1 = ON

DC CHARACTERISTICS

TA = 0°C to +70°C, V_{CC} = +5V (6), V_{DD} = -5V ±5%, V_{GG} = -12V ±5% unless otherwise noted. (Notes 4,5,6,7)

SYMBOL	TEST	MIN	TYP	MAX	UNIT	CONDITIONS
I _{LI}	Input Leakage Current		10	500	nA	V _{IH} = 5.5V, T _A = 25°C
I _{LO}	Output Leakage Current		10	1000	nA	V _{CE} = 1.05V, T _A = 25°C, V _{OUT} = -5V
I _{LC}	Clock Leakage Current		10	500	nA	V _{IHC} = GND, T _A = 25°C
I _{DD}	Power Supply Current (Dual 50)	6.5		15	mA	Continuous Operation
	(Dual 100)	12		30	mA	F = 2MHz, T _A = 25°C
	(Dual 200)	20		40	mA	
I _{GG}	Power Supply Current		4.5	7.5	mA	
V _{IL}	Input "Low" Voltage		1.05		V	
V _{IH}	Input "High" Voltage	3.2		5.3	V	
V _{IHC}	Clock Input "Low" Voltage	-5		1.05	V	
V _{IHC}	Clock Input "High" Voltage	3.2		5.3	V	

TIMING DIAGRAM

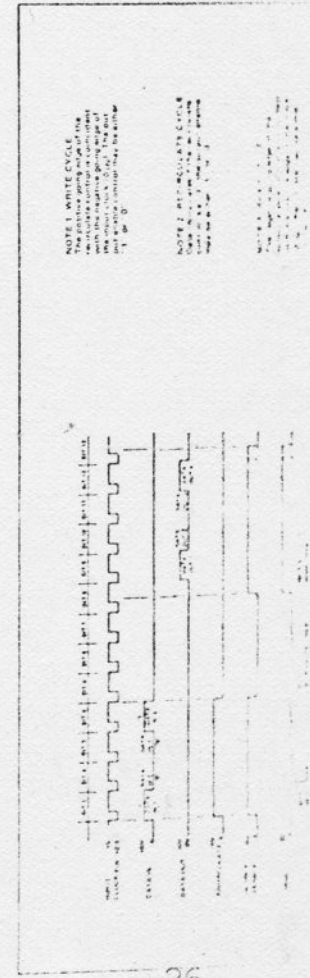


AC CHARACTERISTICS

TA: 25°C; VCC = 5V (BI), VDD = 5V ±5%, VILC = 0.4V to 4V; VGG = -12V ±5%.

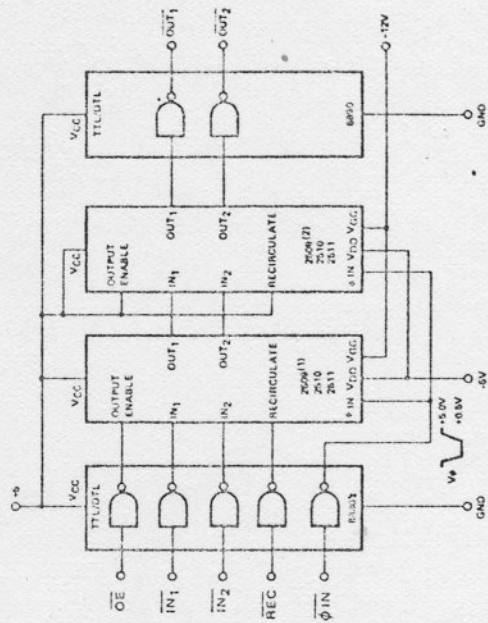
SYMBOL	TEST	MIN	TYP	MAX	UNIT	CONDITIONS
Frequency	Clock Rep Rate	DC	3	2	MHz	
$t_{y\text{-}PW}$	Clock Pulse Width	.300	.120	100	μsec	
$t_{z\text{-}PW}$	Clock Pulse Width	.200		DC	μsec	
$t_{y\text{-}TH}$	Clock Pulse Transition		1		μsec	
$t_{D\text{-}W}$	Data Write (Set-up) Time	50	100		nsec	
$t_{D\text{-}H}$	Data to Clock Hold Time	20	200	300	nsec	
$t_{D\text{-}O}$	Clock to Data Out Delay	0			nsec	
$t_{D\text{-}R}$	Clock to Recirculate			250	nsec	
$t_{D\text{-}E}$	Output Enable to Data Out			350	nsec	
$t_{D\text{-}O}$	Output Enable to Data Out				nsec	
NOE	Dataconnect					
C_{IN}	Input Capacitance			5	pF	@ 1 MHz; $V_{IN} = V_{CC}$; $V_{AC} = 25\text{mV p-p}$
C_{OUT}	Output Capacitance			5	pF	@ 1 MHz; $V_{OUT} = V_{CC}$; $V_{AC} =$ 25mV p-p
C_{ϕ}	Clock Capacitance			5	pF	@ 1 MHz; $V_{\phi} = V_{CC}$; $V_{AC} =$ 25mV p-p
V_{OL}	Output "Low" Voltage			0.4	V	2 TTL load $I_L = 3.2\text{mA}$
V_{OH}	Output "High" Voltage	3.0	3.5		V	2 TTL load ($I_L = 100\mu\text{A}$)
V_{OH2}	Output "High" Voltage	3.6	4		V	Driving MOS

TIMING DIAGRAM



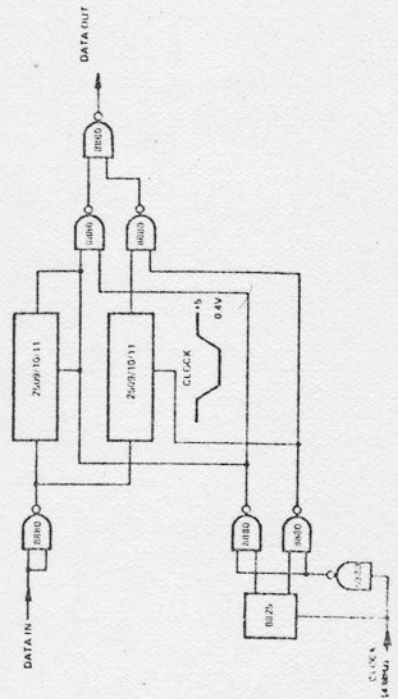
APPLICATIONS INFORMATION

TTL/DTL/MOS INTERFACES



- NOTES:
1. Register used as a recirculating register.
 2. Register used as serial/serial out shift register.

MULTIPLEXING MEMORY REGISTERS AT 4MHz DATA RATE



Der Digital-Analog-Wandler

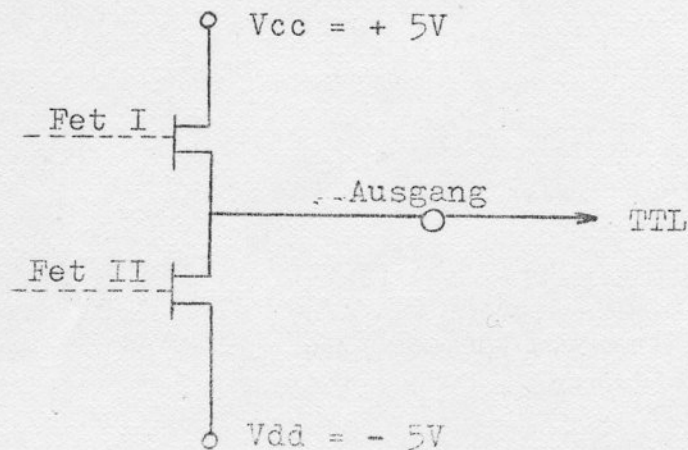
Der Digital-Analog-Wandler (DAC 371-8) hat die Funktion, die von dem Schieberegister freigegebene 8-Bit-Wörter in einen analogen Strom umzusetzen. Diese Umsetzung geschieht nach folgendem Schema:

Eingangs-8-Bit-Wort		Ausgangsstrom
L L L L L L L L	-----	2 mA
⋮		⋮
L L O O O O O O	-----	1,5 mA
⋮		⋮
L O O O O O O O	-----	1 mA
⋮		⋮
O L O O O O O O	-----	0,5 mA
⋮		⋮
O O O O O O O O	-----	0 mA

Für den D/A Ausgangsstrom gilt die Beziehung:

$$I_a \hat{=} \frac{\text{Eingangs-Dualzahl}}{256} \cdot 2 \text{ mA}$$

Das 251ok Schieberegister hat einen sogenannten "Three State" Ausgang, der folgendermassen aussieht:



Der 2510k hat einen Ausgangspegel von - 5V bei einer logischen "0" und + 5V bei einem logischen "1". Aus dem Datenblatt des D/A konnte man nicht feststellen, ob ihm Eingangspegel von - 5V schaden könnten. Die 8 Eingänge des D/A sind deshalb jeweils mit einer Diode gegen Masse geschützt. Zwischen den 8 Schieberegister Ausgänge und D/A Eingänge sind Widerstände geschaltet, um den Verbraucherstrom des Totzeitglieds zu begrenzen. Bei logisch "0" muss ein D/A Eingang einen Strom von 1,6 mA ziehen können, dadurch ist die Grösse dieser Widerstände begrenzt. Der maximale Widerstandswert lässt sich errechnen durch:

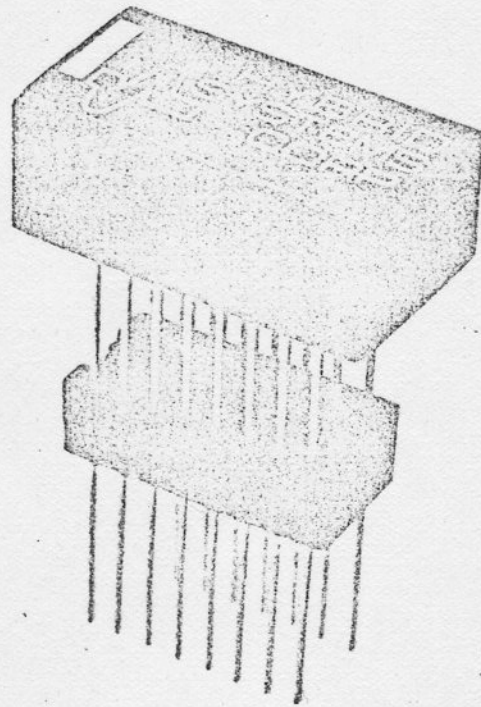
$$R_{\max} = \frac{5V - U_D}{1,6\text{mA}} = \frac{5V - 0,7}{1,6\text{mA}} = 2,7k$$

WC ?

8-BIT, ECONOMY D/A CONVERTER

MODELS
DAC 371-8
DAC 371-2-BCD

- PLUGS INTO A SINGLE IC SOCKET
- READY TO USE--NEEDS +15V ONLY
- CURRENT OUTPUT
- TTL, DTL COMPATIBLE
- 8 BITS BINARY OR 2 DECADES BCD
- THIN FILM RESISTORS
- NO PLASTIC TRANSISTORS OR ICs
- ULTRA COMPACT



DAC 371- 8-BIT D/A CONVERTERS

The DAC371-8 smashes a price/performance barrier not thought possible ... a complete 8 bit fine performance, current output D/A converter for under \$10.00 in singles. But price alone is not its key feature ... the DAC371-8 is the smallest discrete component D/A converter on the market ... so small it can plug into a single IC socket.

The DAC371-8 has all the standard features one expects in a fine D/A converter: built in reference, DTL, TTL compatibility, 950 nanosecond settling etc., plus a few features one might not expect. For extra reliability it

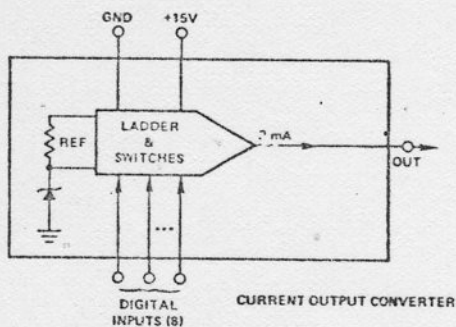
uses only hermetically sealed active components, no plastic IC's or transistors and for extra stability and accuracy only thin film precision resistors.

The linearity is better than $\pm 1/2$ LSB with an overall accuracy temperature coefficient of 100PPM/ $^{\circ}$ C. The full scale output current is 2mA which may be converted to a voltage of up to +1.25V by terminating the unit with a resistor to ground. The unit is completely powered by a single +15V at 10mA power supply. Since the unit has an excellent internal reference the power supply rejection is 0.05%/% making the unit nearly independent of power supply changes.

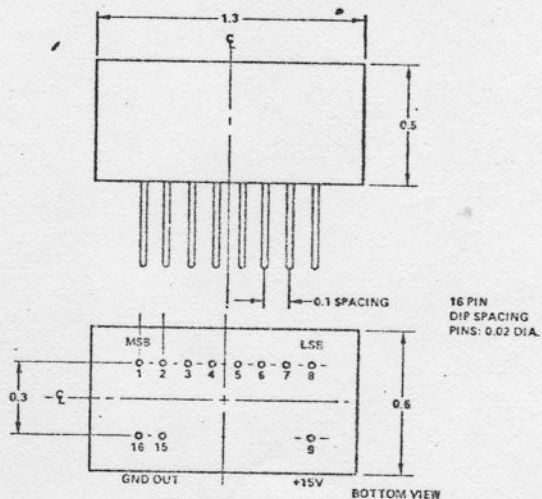
HYBRID SYSTEMS CORP.

87 Second Ave., Burlington, Mass. 01803 TWX: 710-332-7584 Tel: 617/272-1522

BLOCK DIAGRAM



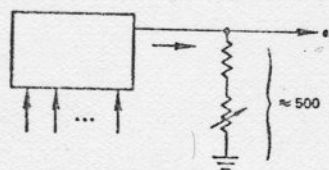
MECHANICAL



NOTES ON USE

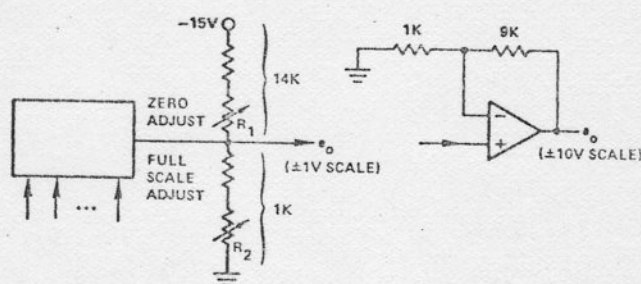
CONVERTING OUTPUT CURRENT TO VOLTAGE Current Output Units.

1. Output Range: 0 to +1V



Set digital code to all ones and adjust for +1.0V.

2. Output Range: Bipolar



SPECIFICATIONS at 25°C, unless noted

MODEL	DAC 371-8
DIGITAL	
Resolution	8 bits
Code	
DAC 371-8	Binary
DAC 371-2-BCD	2 Decades BCD
Inputs	
	DTL or TTL
	1 TTL Load
"0"	<+0.5V
"1"	>+2.5V
ANALOG	
Linearity	±1/2LSB
Output Voltage	+1.25V**
Output Current	
DAC 371-8	+2mA
DAC 371-2-BCD	+1.25mA
Output Impedance	>1MEG
Setting Time to .2%	
F.S. Change	950 nS
Small Change	950 nS
Protection	Short Circuit to Ground
Reference	Internal
Power Supply	+15V at 10mA Quiescent
Power Supply Rejection	0.05%/%

ENVIRONMENTAL

Operating Temperature	0 to +70°C
Accuracy Temp.	100PPM/°C
Linearity VS Temp.	20PPM/°C
Weight	Under 1 oz.

**When terminated by a 625 ohm resistor.

ORDERING INFORMATION

DAC 371-8, Binary Coding

DAC 371-2-BCD, 2 Decades BCD Coding

REPRESENTED BY

Der Ausgangs-Operations-Verstärker

Der Ausgangsstrom des D/A wird durch den beschalteten Ausgangs-Operations-Verstärker zu einer entsprechenden Ausgangsspannung des Totzeitgliedes umgeformt. Die Beziehung zwischen D/A-Ausgangsstrom und Operationsverstärker Ausgangsspannung (Totzeitglied-Ausgangsspannung) ist folgende:

D/A Ausgangsstrom		Totzeitglied-Ausgangsspannung
0 mA	—	+ 10V
⋮		⋮
1 mA	—	0V
⋮		⋮
2 mA	—	- 10V

Die Totzeitglied-Ausgangsspannung ist wieder dieselbe Spannung, die am Eingang des Totzeitglieds abgetastet wurde. Diese Ausgangsspannung ist natürlich um eine gewisse Totzeit verzögert.

Der verwendete Ausgangs-Operations-Verstärker ist auch ein AD 503 und er ist wie Bild 5 zeigt beschaltet.

Berechnung zur Beschaltung des AD 503:

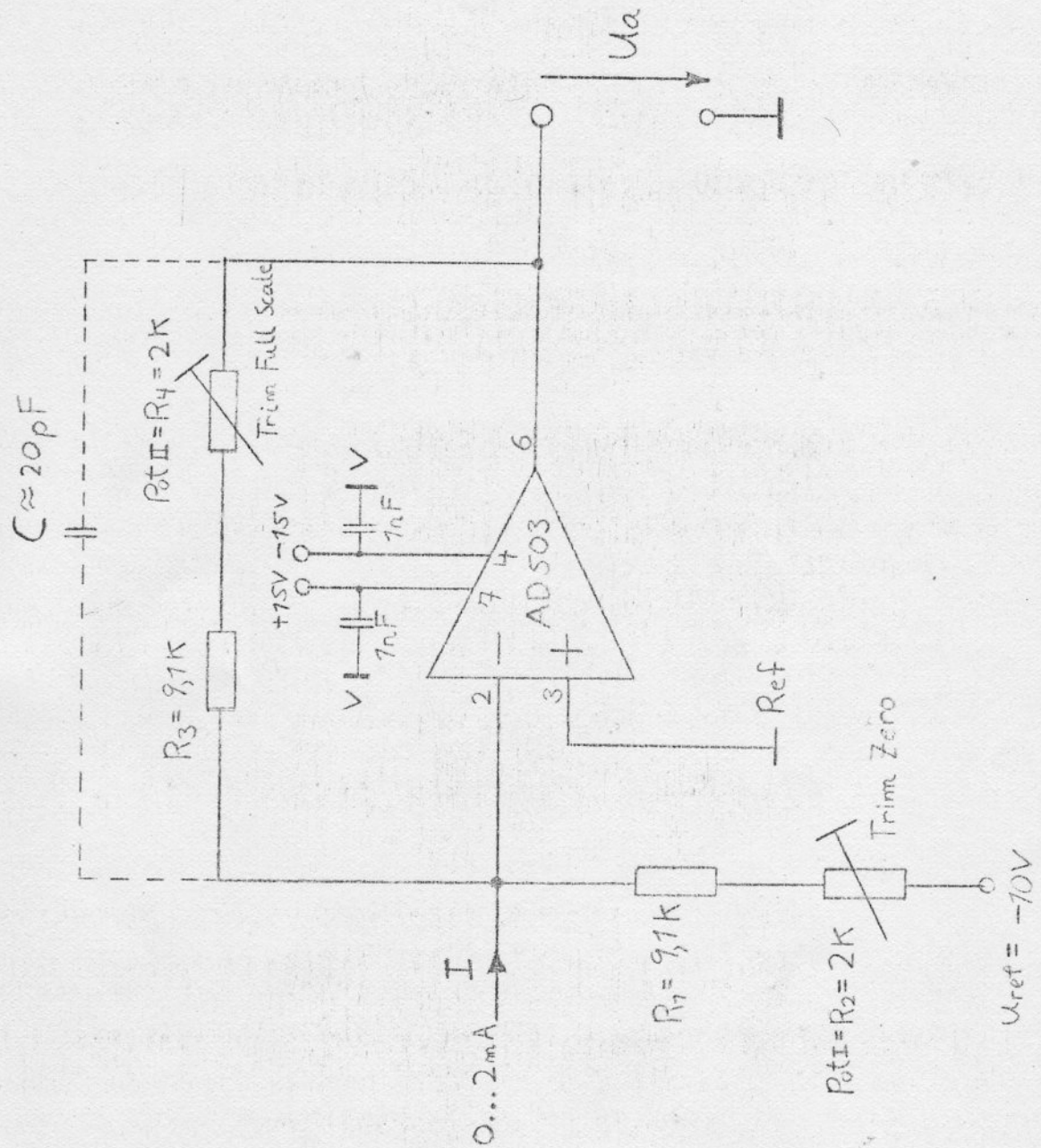
$$R_1 + R_2 = R_S \quad \text{und} \quad R_3 + R_4 = R$$

$$U_a = - R \left(I + \frac{U_{ref}}{R_S} \right)$$

$$R_S = \frac{U_{ref}}{I_{max}} \cdot 2 = \frac{-10V \cdot 2}{2 \text{ mA}} = 10k$$

Ausgangs - Operationsverstärker

(Bild 5)



AUSG.	TAG	ÄND. MIT.	BEARB.	GEPR.

GEZEICHNET

MASSTAB



DOERNIER
electronic

—32—

BLATT

98 0552

bei $I = 2 \text{ mA}$ muss sich ein $U_a = -10\text{V}$ ergeben

$$R = \frac{-U_a}{I + \frac{U_{\text{ref}}}{R_S}} = \frac{+10\text{V}}{2 \text{ mA} - 1\text{mA}} = 10\text{k}$$

Im Idealfall wäre also $R = R_S = 10\text{k}$. Damit man Ungenauigkeiten des D/A und beschalteten Ausgangs-Operationsverstärker kompensieren kann, werden R und R_S jeweils durch ein 9k Widerstand und ein 2 k Pot ersetzt.

Pot I wird eingestellt indem man den Eingang des Totzeitglieds auf 0V legt und dann das Pot I solange verändert, bis der Ausgang des Totzeitglieds auch 0V aufweist. Der Eingang wird dann auf $+10\text{V}$ gelegt und Pot II verändert bis sich am Ausgang auch $+10\text{V}$ einstellen.

R_1 und R_3 sind Widerstände mit einer Toleranz von 1% ; sie haben einen kleineren T_k Wert bzw. besserer Temperatur-Stabilität als 10% oder 20% Widerstände.

Die Kette: Eingangs-Operationsverstärker, A/D, Schieberegister, D/A und Ausgangs-Operationsverstärker bildet das eigentliche Totzeitglied (s. das komplette Schaltbild).

Zur Übersicht gilt die folgende Tabelle von Spannungswandlungen:

Totzeitglied Eing.	A/D Eing.	S.R. u. D/A Eing.	D/A Ausg.	Totzeitglied Ausg.
+ 10V	0V	00000000	0 mA	+ 10V
⋮	⋮	⋮	⋮	⋮
0V	+ 5V	10000000	+ 1 mA	0V
⋮	⋮	⋮	⋮	⋮
- 10V	+ 10V	LLLLLLLL	+ 2 mA	- 10V

~40mV!
nicht exakt!

Der V C O

Der notwendige Strobetakt für den Analog-Digital-Wandler wird durch ein Voltage Controlled Oscillator (VCO) erzeugt. Der VCO ist nach Bild 6 beschaltet. Die abgegebene Taktfrequenz des VCO wird durch die anliegende Spannung an der Buchse 11 eingestellt. Diese Spannung lässt sich über ein Zehngangpotie am Do 80 Rechner zwischen 0V und - 10V variieren. Durch den Spannungsteiler wird die Spannung an Pin 8 zwischen 0V und - 4V liegen. An den Pins 4 und 5 liegt jeweils ein 3,3k Widerstand durch den bei Vollaussteuerung ein Strom von ungefähr 1 mA durchfließt. Der Kondensator, der zwischen Pin 10 und Masse liegt, bestimmt den Frequenzbereich des VCO. Für eine Frequenz von 100kHz (\approx 1 ms Totzeit) benötigt man:

$$C = \frac{1}{U} \int i dt = \frac{i \cdot t}{U} = \frac{i}{U \cdot f}$$

$$C = \frac{1 \text{ mA}}{10V \cdot 10^5 \cdot 1} = 1 \text{ nF}$$

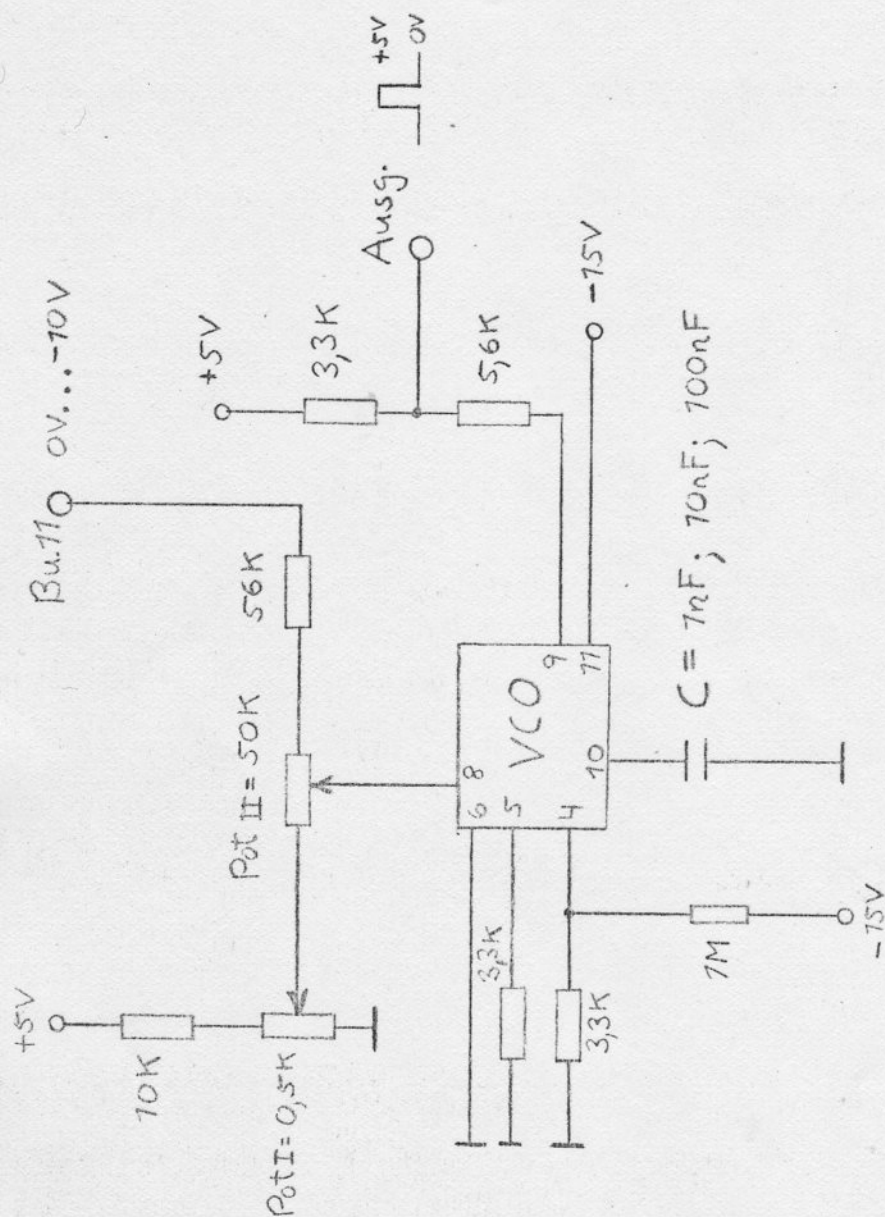
Mit dem 1 nF Kondensator wäre der theoretische Frequenzbereich:

100 kHz bis 0 Hz. Praktisch kann man die Frequenz aber nur um einen Faktor 100:1 ändern, dadurch ist Frequenzbereich: 100 kHz bis 1 kHz (mit 1 nF).

Mit einem 10 nF Kondensator erhält man den Frequenzbereich: 10 kHz bis 100 Hz und mit 100 nF den Bereich 1 kHz bis 10 Hz.

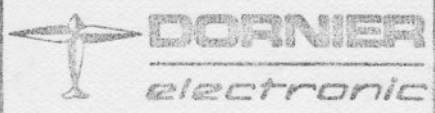
VCO

(Bild 6)



AUSG.	TAG	AND. MIT.	BEARB.	GEPR.

GEZEICHNET MASSTAB



Die folgende Tabelle stellt die Beziehungen zwischen Spannung, Kondensator und Frequenz deutlich auf.

Spg. an Buchse 11	Kondensator	Frequenz
- 10V ⋮	1 nF ⋮	100 kHz ⋮
- 1V ⋮	1 nF ⋮	10 kHz ⋮
- 0,1V	1 nF	1 kHz
- 10V ⋮	10 nF ⋮	10 kHz ⋮
- 1V ⋮	10 nF ⋮	1 kHz ⋮
- 0,1V	10 nF	100 Hz
- 10V ⋮	100 nF ⋮	1 kHz ⋮
- 1V ⋮	100 nF ⋮	100 Hz ⋮
- 0,1V	100 nF	10 Hz

Die drei Kondensatoren 1 nF, 10 nF und 100 nF können jeweils durch eine entsprechende Verbindung im Buchsenfeld gewählt werden.

Die zwei Poties in dem Spannungsteiler der an Pin 8 geschaltet ist, werden folgendermassen abgeglichen. Für den Abgleich wird der 10 nF Kondensator mit dem Pin 10 verbunden und an die Buchse 11 werden - 0,5V angelegt. Das 500k Pot wird so eingestellt, dass die Frequenz 500 Hz beträgt. Danach wird an die Buchse 11 - 10V angelegt und das 50k Pot so eingestellt, dass

sich eine Frequenz von 10 kHz ergibt.

Der Spannungsteiler an Pin 9 bewirkt, dass die abgegebene Taktfrequenz TTL kompatibel ist.

Mit dem 1 M Widerstand an Pin 4 der gegen -15V geschaltet ist erreicht man eine bessere Frequenzlinearität.

A PRECISION WAVEFORM GENERATOR AND VOLTAGE CONTROLLED OSCILLATOR



DESCRIPTION

The 8038 Waveform Generator is a monolithic integrated circuit, capable of producing sine, square, triangular, sawtooth and pulse waveforms of high accuracy. The frequency (or repetition rate) can be selected externally over a range from less than 1/1000 Hz to more than 1 MHz and is highly stable over a wide temperature and supply voltage range. Frequency modulation and sweeping can be accomplished with an external voltage and the frequency can be programmed digitally through the use of either resistors or capacitors. The Waveform Generator utilizes advanced monolithic technology, such as thin film resistors and Schottky-barrier diodes.

THEORY OF OPERATION

A block-diagram of the waveform generator is shown in Figure 1. An external capacitor C is charged and discharged by two current sources. Current source #2 is switched on and off by a flip-flop, while current source #1 is on continuously. Assuming that the flip-flop is in a state such that current source #2 is off, then the capacitor is charged with a current I. Thus the voltage across the capacitor rises linearly with time. When this voltage reaches the level of comparator #1 (set at 2/3 of the supply voltage), the

flip-flop is triggered, changes states, and releases current source #2. This current source normally carries a current 2I, thus the capacitor is discharged with a net-current I and the voltage across it drops linearly with time. When it has reached the level of comparator #2 (set at 1/3 of the supply voltage), the flip-flop is triggered into its original state and the cycle starts anew.

Four waveforms are readily obtainable from this basic generator circuit. With the current sources set at I and 2I respectively, the charge and discharge times are equal. Thus a triangle waveform is created across the capacitor and the flip-flop produces a square-wave. Both waveforms are fed to buffer stages and are available at pins 3 and 9.

The levels of the current sources can, however, be selected over a wide range with two external resistors. Therefore, with the two currents set at values different from I and 2I, an asymmetrical sawtooth appears at terminal 3 and pulses with a duty cycle from less than 1% to greater than 99% are available at terminal 9.

The sine-wave is created by feeding the triangle-wave into a non-linear network (sine-converter). This network provides a decreasing shunt-impedance as the potential of the triangle moves toward the two extremes.

THE DETAILED CIRCUIT DIAGRAM (FIGURE 2)

The current sources are formed by transistors Q₁ through Q₁₃. A reference voltage is formed by a resistance voltage divider (R₁, R₂) at pin 7; this reference voltage is therefore a precise fraction of the supply voltage (set at 80%). If frequency modulation or sweep is not used, pins 7 and 8 are connected together.

Q₁ acts as an emitter follower, so that the impedance at pin 8 is very high. Two lateral pnp transistors (Q₂ and Q₃) receive their base signal from the emitter of Q₁. These two transistors carry a current which is determined by the base voltage and the resistance connected in series with the emitters, i.e. the two external resistors.

Notice that cancellation of base-emitter voltage-drops takes place in this circuit. The emitter-voltage of Q₁ is lower by one V_{BE} compared to the reference voltage, but the voltages at pins 4 and 5 are higher by one V_{BE} compared to that of the emitter of Q₁. Therefore, the voltages at pins 8, 5 and 4 are equal and the two currents are given by

$$I = \frac{V_{CC} - V_{ref}}{R_{ext}} = \frac{R_1 \times V_{CC}}{(R_1 + R_2) R_{ext}} = \frac{0.2 V_{CC}}{R_{ext}}$$

To allow a wide current range, npn transistors (Q₄, Q₅) have been added to form composite pnp equivalents. In this way each current source can deliver up to 10 mA.

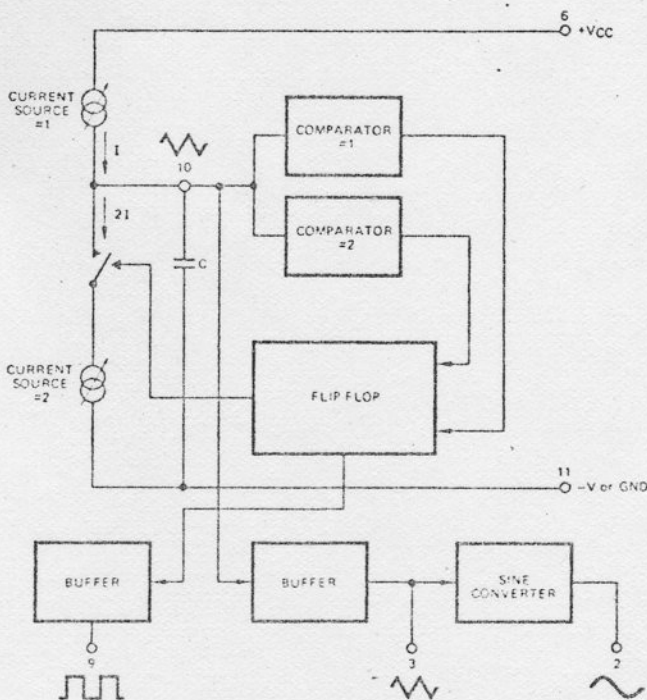


FIGURE 1. BLOCK-DIAGRAM OF WAVEFORM GENERATOR.

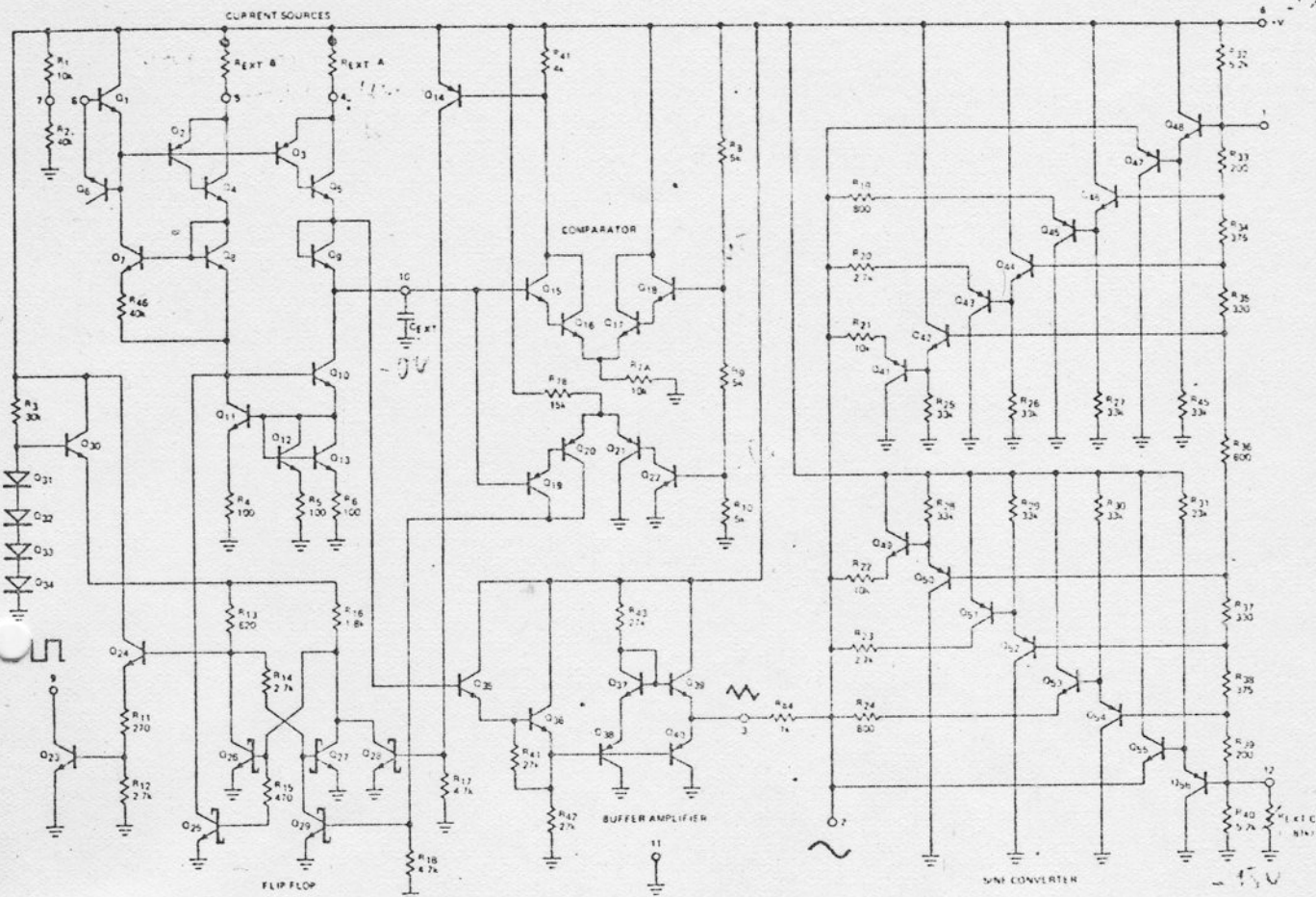


FIGURE 2. DETAILED CIRCUIT DIAGRAM OF WAVEFORM GENERATOR.*

A small amount of current is returned to the bases of Q2 and Q3 through the diode-biased transistor connection of Q7 and Q8. This current is necessary to provide sufficient base current for the lateral pnp transistors. The diode Q6 acts as a start-up current path.

The transistors Q10 through Q13 are connected as a Wilson current source with a 2:1 current ratio. As long as the collector of Q11 is undisturbed, the collector of Q10 will sink a current which has precisely twice the magnitude of that flowing into terminal 5. When the collector of Q11 is shorted to ground by the flip-flop (Q25), the collector current in Q10 ceases to flow.

The two comparators are formed by transistors Q15 through Q22. Each comparator consists of a differential Darlington pair. The two levels are derived from a precision voltage divider (R8, R9, R10) with three equal resistance values. As long as the voltage across capacitor C is below 2/3 of the supply voltage, the entire current in the npn differential pair flows through Q17 and Q18. At precisely 2/3 VCC this current switches to Q15 and Q16. This in turn causes a current to flow in Q14 which changes the state of the flip-flop.

The identical response is obtained from the pnp differential Darlington pair Q19 through Q22. As long as the voltage across the capacitor is larger than 1/3 VCC, only Q21 and Q22 carry current. At 1/3 VCC, Q19 and Q20 turn on and change the state of the flip-flop through Q29.

Both comparators are made from Darlington pairs to afford a very high input impedance so that the waveform generator can be run with small timing currents. In addition, the comparators only draw current at or near each threshold; in this way the error created by loading is negligible.

To achieve the highest possible speed, each transistor in the flip-flop is held out of saturation with a Schottky-barrier diode. Q26 and Q27, together with resistors R13, R14 and R16 form the basic (RTL) flip-flop. Q28 and Q29 act as trigger elements, alternately shorting the collector and the base of Q27 to ground and thus forcing the flip-flop to change states.

The flip-flop is operated at approximately 2 V through an internal dropping network consisting of Q30 through Q34.

Q25 controls current source #2 (turning it on and off). Q23 and Q24 form the square-wave output buffer stage with an uncommitted collector. The performance of this output stage is shown in Figure 3. With a load resistor connected between terminal 9 and VCC, the square-wave output alternates between VCC and the saturation voltage (near ground or -V). Since the collector of Q23 is uncommitted (i.e. there is no internal load resistor) the load of the square-wave output can be connected to any supply voltage within the breakdown capability (<30 V) of the transistor.

Notice that the flip-flop is triggered only on the right-hand side, while the outputs are taken from the left-hand side. In

* Connections shown are for operation from a single-ended supply. For operation from a dual supply, the connections shown to ground (pin 11) would be taken to V_{EE}.

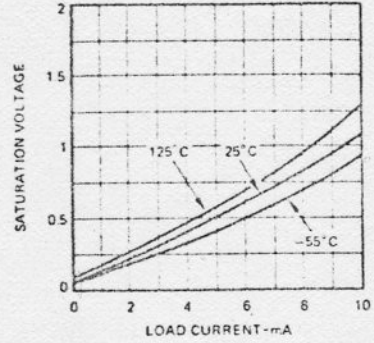
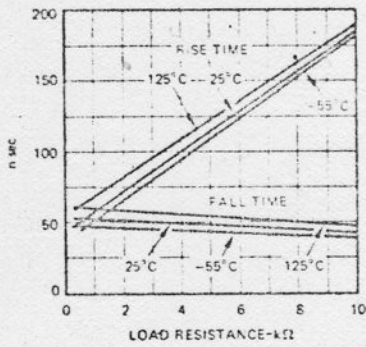


FIGURE 3. PERFORMANCE OF THE SQUARE-WAVE OUTPUT (PIN 9).

this way the flip-flop is forced to change state *before* it is allowed to act on the current source, avoiding potential hang-up or false triggering problems.

Q35 through Q40 are connected as the *triangle output buffer stage*. The triangle waveform is picked up at a potential one V_{BE} above that carried by the capacitor. A Darlington emitter follower (Q35, Q36) is used to provide a high impedance. Thus, at the emitter of Q36, the potential of the waveform is one V_{BE} below that of the capacitor. The subsequent Class-B output stage formed by Q39 and Q40 and their biasing chain Q37, Q38 shift the dc level up by one V_{BE} so that the waveform of pin 3 has the same dc potential and magnitude as that of the capacitor. Since the trigger thresholds are chosen at $1/3$ and $2/3 V_{CC}$, the average (or dc) potential of the triangle is precisely in the center of the supply voltage and the peak-to-peak amplitude is exactly $1/3$ of the supply voltage. Operating the waveform generator from a dual power-supply with equal positive and negative voltages puts the average of the triangle at ground level.

The performance of the triangle output stage is shown in Figure 4. Notice that the load can be connected to either ground, +V or -V.

The remainder of the circuitry, transistors Q41 through Q56, is used to create the *sine-wave*. Eight reference voltages are provided by the resistance voltage divider R32 through R40, symmetrically about the center point between the positive and negative supply voltage. As the triangle wave passes the level of the first reference voltage in the positive direction, Q41 starts conducting (the base-emitter voltages of an npn and a pnp transistor are nulled out so that the reference voltage appears both at the base of Q42 and the emitter of Q41). Thus, at this voltage level, the triangle wave is attenuated by the ratio of R44 to R21. At the higher voltage levels additional and decreasing resistances become active. This non-linear attenuator, therefore, shapes the triangle-wave into a sine-wave. An identical attenuator (with reversed polarity) is provided for the negative half of the waveform.

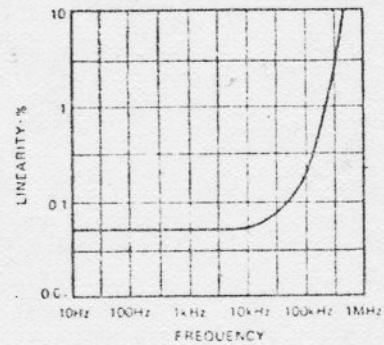
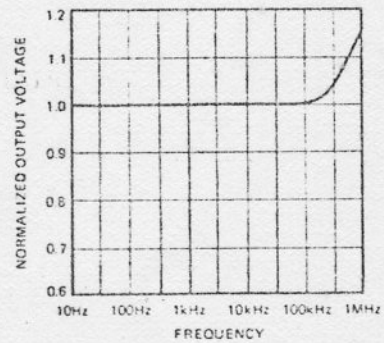
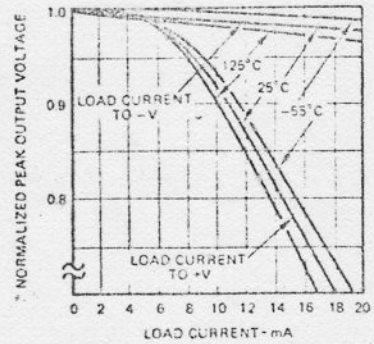


FIGURE 4. PERFORMANCE OF TRIANGLE-WAVE OUTPUT

MAXIMUM RATINGS

Supply Voltage	±18V or 36V Total
Power Dissipation	750mW (Note 5)
Input Voltage (any pin)	Not To Exceed Supply Voltages
Input Current (Pins 4 and 5)	25mA
Output Sink Current (Pins 3 and 9)	25mA
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range:	
8038AM, 8038BM	-55°C to +125°C
8038AC, 8038BC, 8038CC	0°C to +70°C

ELECTRICAL CHARACTERISTICS ($V_S = \pm 5V$ to $\pm 15V$, $T_A = 25^\circ C$, $R_L = 1M\Omega$, Unless Otherwise Specified) Note 3.

GENERAL CHARACTERISTICS	8038CC			8038BC/BM			8038AC/AM			UNITS
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Supply Voltage:										
Single Supply	+10		+30	+10		30	+10		30	V
Dual Supplies	±5		±15	±5		±15	±5		±15	V
Supply Current ($V_S = \pm 10V$) Note 1.										
8038AM, 8038BM				12		15	12		15	mA
8038AC, 8038BC, 8038CC		12	20	12		20	12		20	mA

FREQUENCY CHARACTERISTICS (all waveforms)

	8038CC		8038BC/BM		8038AC/AM		UNITS
Range of Adjustment	0.001	1,000,000	0.001	1,000,000	0.001	1,000,000	Hz
Sweep Frequency of FM	100		100		100		kHz
Sweep FM Range (Note 2)	1000:1		1000:1		1000:1		
FM Linearity	0.2		0.1		0.1		%
Frequency Drift With Temperature (Over Operating Temperature Range)	50		50	100	20	50	ppm/°C
Frequency Drift With Supply Voltage (Over Operating Temperature Range)	0.05		0.05		0.05		%/V _S
Recommended Programming Resistors (R_A and R_B)	500	1M	500	1M	500	1M	Ω

OUTPUT CHARACTERISTICS

	8038CC		8038BC/BM		8038AC/AM		UNITS	
Square-Wave								
Amplitude ($R_L = 100k\Omega$)	0.9		0.9		0.9		xV _S	
Saturation Voltage ($I_{SINK} = 2mA$)	0.2	0.5	0.2	0.4	0.2	0.4	V	
Rise Time ($R_L = 4.7k\Omega$)	100		100		100		ns	
Fall Time ($R_L = 4.7k\Omega$)	40		40		40		ns	
Duty Cycle Adjust	2	98	2	98	2	98	%	
Triangle/Sawtooth/Ramp								
Amplitude ($R_L = 100k\Omega$)	0.30	0.33	0.30	0.33	0.30	0.33	xV _S	
Linearity		0.1		0.05		0.05	%	
Output Impedance ($I_{OUT} = 5mA$)		200		200		200	Ω	
Sine-Wave								
Amplitude ($R_L = 100k\Omega$)	0.2	0.22	0.2	0.22	0.2	0.22	xV _S	
THD ($R_L = 1M\Omega$) Note 4.		0.8	3	0.7	1.5	0.7	1.5	%
THD Adjusted ($R_L = 1M\Omega$)		0.5		0.5		0.5	%	

NOTE 1: R_A and R_B currents not included

NOTE 2: $V_S = 20V$, R_A and $R_B = 10k\Omega$, $f = 10kHz$

NOTE 3: All parameters measured in test circuits given in data sheet

NOTE 4: $81k\Omega$ connected between pins 11 and 12

NOTE 5: Derate plastic package at $6.7mW/^\circ C$ for ambient temperatures above $50^\circ C$

Derate ceramic package at $12.5mW/^\circ C$ for ambient temperatures above $100^\circ C$

Die Steuerung

Die Steuerung hat die Funktionen:

- 1) Die Spannungspegel des Do 80 Rechner an das Totzeitglied anzupassen
- 2) Die verschiedenen Eingänge und Ausgänge zu schützen
- 3) Das Totzeitglied an die drei Betriebsarten, Anfangsbedingung (RS), Halt (HT) und Rechnen (DR) des Do 80 anzupassen

Bei jeder Betriebsart des Do 80 werden logische Pegel auf Sammelschienen gegeben. Die Steuerung wird an die DR und HT Sammelschienen (SS) angepasst. Die Pegel auf den Sammelschienen sehen für die drei Betriebsarten folgendermassen aus:

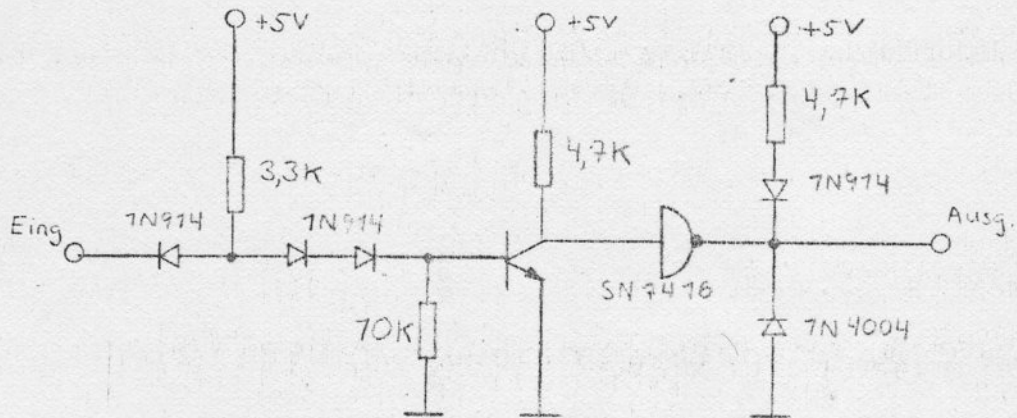
	DR SS	HT SS
Rechnen	0	L
Halt	0	0
Anfangsbed.	1	0

Durch eine Do 80 - Normschaltung werden diese Pegel TTL kompatibel gemacht (s. Bild 7).

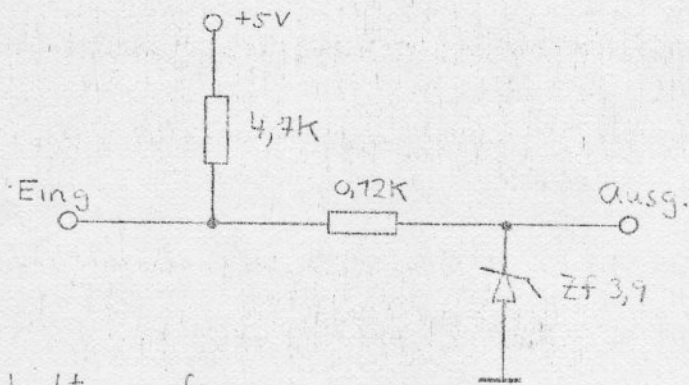
Alle digitale Eingänge und Ausgänge sind durch Do 80 Schaltung kurzschlussicher und gegenspannungsfest. (s. Bild 7).

Sammelschiene — Anpassungsschaltung

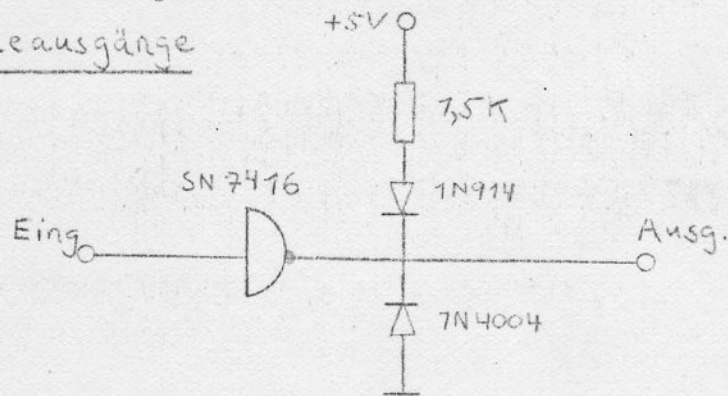
(Bild 7)



Schutzschaltung für Digitaleingänge



Schutzschaltung für Digitalausgänge



					GEZEICHNET	MASSTAB		
							— 44 —	
AUSG.	TAG	ÄND. MIT.	BEARB.	GEPR.				

Die Wirkungsweise der Steuerung und der drei Betriebsarten wird anhand dem Gesamtschaltbild auf Seite 56 erklärt.

Rechnen: Beim Rechnen ist DRSS = 0 und HTSS = 1. Durch diese Impulse wird der VCO freigegeben und seine Taktfrequenz wird über ein Monoflop auf den Strobe des A/D gegeben. Das Monoflop (III • Pins 6-12) bewirkt, dass die Impulslänge immer gleich gross (1 μ s) unabhängig von der Taktfrequenz des VCO ist. Der invertierte Busy Bit wird auf den Clock des Schieberegisters gegeben. In der Betriebsart Rechnen wird die Eingangsfunktion also um eine bestimmte Totzeit verzögert.

Halt: Bei Halt ist DRSS = 0 und HTSS = 0. Durch das Nand (II Pins 9-11) und dem Inverter (V Pins 8-9) wird der an Pin 1o des VCO anliegenden FET leitend gemacht. Der leitende FET schliesst den gewählten Kondensator des VCO kurz. Damit ist der VCO stillgelegt, seine Taktfrequenz ist gleich null. Ohne eine Taktfrequenz wird die Eingangsfunktion nicht weitergeschoben und am Ausgang wird der bestehende Wert festgehalten.

Anfangsbedingung: Bei der Betriebsart Anfangsbedingung ist DRSS = 1 und HTSS = 0. Anfangsbedingung bedeutet: die Eingangsfunktion wird nicht abgetastet, der Speicherinhalt des Schieberegisters wird gelöscht und der Ausgang wird auf den Wert null gebracht.

Dies geschieht folgenderweise:

- 1) Der VCO wird wieder über den FET stillgelegt.
- 2) Der Strobe wird über ein Wand (II Pins 1-3) auf logisch "L" hoch gehalten.
- 3) Während der Strobe auf "L" liegt stellt sich am A/D Ausgang das 8-Bit-Wort L0000000 ein.
- 4) Das 8-Bit-Wort L0000000 am Eingang des Schieberegister entspricht nach 100 Clock-Impulse 0V am Ausgang des Totzeitglieds. Man muss also in jede Stelle des 100 stelligen Schieberegister L0000000 einschieben.
- 5) Der Vorgang von 4. muss sich innerhalb 1 mS abwickeln. Der Monoflop (III Pins 1-15) gibt zu dieser Zeit an seinem Q-Ausgang 1 mS lang ein "L" Signal ab.
- 6) Das "L" Signal vom Monoflop startet ein aus Schmitt-Trigger aufgebauten Impulsgenerator (I Pins 4 .. 13). Die Frequenz des Impulsgenerators ist ungefähr 150 kHz. In 1 mS werden also mehr als 100 Taktimpuls über eine Gatterweiche an den Clock des Schieberegisters gegeben. Mit diesem Clockimpuls werden alle Stellen des Schieberegisters mit L0000000 besetzt und der Ausgang des Totzeitglieds ist 0V.

$\frac{T}{10}$: Im Normalbetrieb ist der 100 nF und 10 nF

Kondensator des VCO im Buchsenfeld des Totzeitglieds zugänglich. Der Do 80 hat eine $\frac{T}{10}$ Taste, durch diese Taste wird ein Impuls an die Steuerung gegeben. Durch diesen Impuls werden zwei Haft-Relais so umgeschaltet, dass die zwei zugänglichen Kondensatoren jetzt 10 nF und 1 nF sind. Damit ist die Frequenz des VCO um einen Faktor 10 grösser geworden mit Anwendung des $\frac{T}{10}$.

Recirculate: Die Eingangsfunktion wird nicht weiter abgetastet, sondern der Schieberegisterinhalt läuft zyklisch um und wird ständig ausgegeben. Während das Totzeitglied im Recirculate - Zustand ist, sind die Betriebsarten Halt und Anfangsbedingung dieselben. Das bedeutet, dass durch Anfangsbedingung der Schieberegisterinhalt nicht gelöscht wird, er wird nur angehalten.



positive logic V.1A

- TTL Empfang
- Eingangsspannen
- Gitter-Kollektorschaltung mit 15 V Ausgangsdurchbruchspannung
- Typ. Impulsverzögerzeiten 15 ns
- Typ. Leistungsaufnahme 145 mW
- 40 mA Kollektorstrom zulässig für SN7410B, SN7410A
- 30 mA Kollektorstrom zulässig für SN5410B

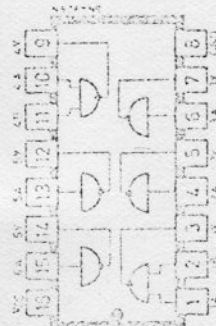
Schematik



Medium	Zustand	Form	Pin
Leist. Faktoren	L		10
SN7410B			
SN5410B			
SN7410A			

Schaltlichte invertierende Viererbaustein

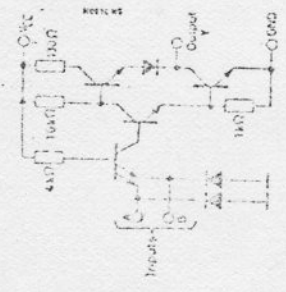
SN7410B
SN5410B
SN7410A



positive logic V.1B (single inputs)
negative logic V.1B (double inputs)

- TTL Ein- und Ausgänge
- Eingangsspannen
- Typ. Impulsverzögerzeit 10 ns
- Typ. Leistungsaufnahme 50 mW

Schematik



W. Spalte	Zustand	Eingang	Ausgang
Leist. Faktoren		1,0	10,0
SN44320B			
SN44320A			

Vierfach Inverter, zweifach NAND-Gatter mit je zwei Eingängen

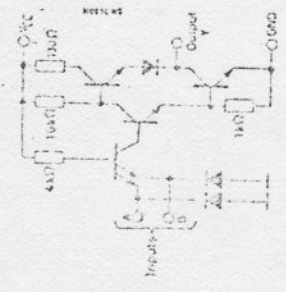
SN44320B
SN44320A



positive logic V.1B

- TTL Ein- und Ausgänge
- Eingangsspannen
- Impulsverzögerzeit 10 ns
- Typ. Leistungsaufnahme 40 mW

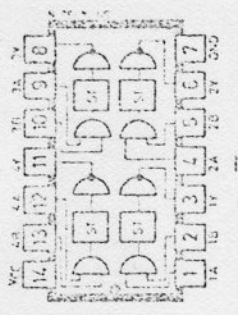
Schematik



Medium	Zustand	Eingang	Ausgang
Leist. Faktoren	L	1,0	10,0
SN7410B			
SN5410B			
SN7410A			

Vierfach NAND-Gatter mit je zwei Eingängen

SN7410B
SN5410B
SN7410A



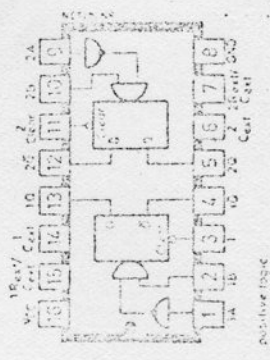
positive logic $V = 5V$

- TTL Ein- und Ausgänge
- Eingangsschwellen
- 1,7 V obere typ. Schwellenspannung
- 0,8 V Mystrasse (temperaturkompensiert)
- Ansteuerbar mit Flanken beliebig lang
- Anstiegzeit
- Typ. Impulsverzögerungszeit 15 ns
- Typ. Laststromaufnahme 100 mA

Last-Faktoren	Messpunkt		Zustand	Eingang	Ausgang
	Empfang	Ausgang			
	L	L	L	1,0	
	L	L	L		10,0
	H	H	H		20,0

SN74132N
SN54132N
SN54132H

Vierfacher TTL NAND-Schmitt-Trigger
mit je zwei Eingängen



positive logic
low level to clear, reset, data inputs
level and state's data inputs

- TTL Ein- und Ausgänge
- Eingangsschwellen
- Wiederholrate
- 10T₁ Taktzeit einstellbar
- Pulse und negative Trigger
- Eingangsimpuls-Schwellenzeit min. 40 ns
- Ausgangsimpuls-Halbwertszeit min. 40 ns
- Reset max. 40 V_{CC}
- Min. Anspannungsschwellenzeit typ. 45 ns
- Typ. Impulsverzögerungszeit zum Q-Ausgang 21 ns

Wahrheitstabelle

Inputs	Outputs
A B	Q Q̄
H X	L L
X L	L L
L L	L L
L H	L L

- Notes:
- H = high level (steady state)
 - L = low level (steady state)
 - ↑ = transition from low to high level
 - ↓ = transition from high to low level
 - = one high-level pulse
 - = one low-level pulse
 - X = irrelevant (any input, including transition).

Last-Faktoren	Messpunkt		Zustand	Eingang	Ausgang
	Data-Eingang	Clear-Eingang			
	L	L	L	1,0	
	L	L	L	2,0	
	L	L	L		10,0
	H	H	H		20,0

SN74123N
SN54123N
SN54123H

Zwei mal Monostabiler Multivibrator

Das Buchsenfeld

Die Buchsen 1,2,3 und 4 sind leerlaufend.

Die Buchsen 5 und 7 sind die zwei Eingänge des Totzeitglieds. Bu. 7 ist nur verwendbar, wenn der Betrag der Eingangsspannungen kleiner als $1V$ ist.

Bu. 6 und 8 ist der Ausgang des Totzeitglieds.

Der Recirculate - Zustand wird erreicht, indem man Bu. 9 auf Masse (Bu. 10) legt.

Die Regelungsspannung des VCO wird auf Bu 11 gegeben.

Durch Verbindung von Bu. 13 mit Bu. 15 ist der abgegebene Taktimpuls des VCO mit dem Totzeitglied verbunden. Das Totzeitglied kann aber auch mit einem extremen Takt auf Bu. 15 gesteuert werden.

Der Kondensator für den VCO wird durch eine entsprechende Verbindung der Buchsen 12, 14 und 16 gewählt.

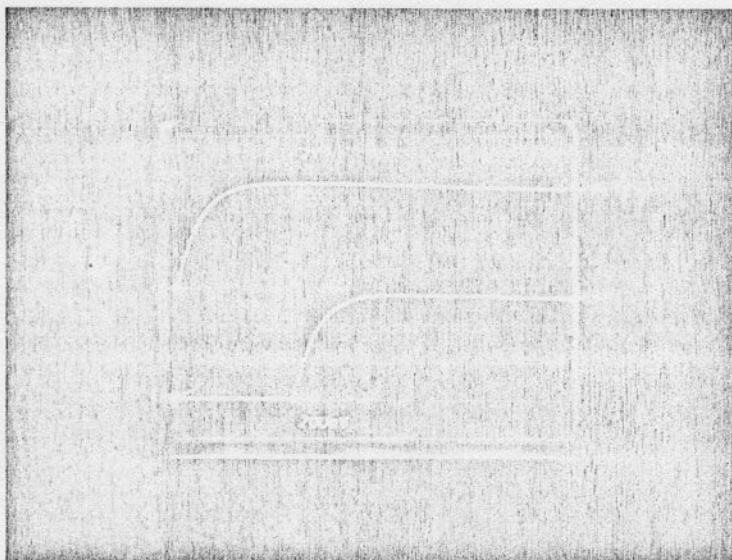
An der Buchse 17 liegt die angepasste Do 80 Haltsammelschiene und durch eine Verbindung mit der Bu. 19 wird die Haltsammelschiene mit der Steuerung verbunden.

An der Bu. 18 liegt die angepasste Do 8e DR - Sammel-
schiene und durch eine Verbindung mit der Bu. 2o wird
die DR - Sammelschiene mit der Steuerung verbunden.

Alle Verbindungen im Buchsenfeld können mit Kurzschluss-
stecker gemacht werden.

Oszillogramme der Totzeit

Die obere Funktion ist die Eingangsfunktion des Totzeitglied und die untere Funktion ist die verzögerte Ausgangsfunktion des Totzeitglieds.



Technische Daten

Eingangsspannungsbereich U_e : - 10V U_e + 10V

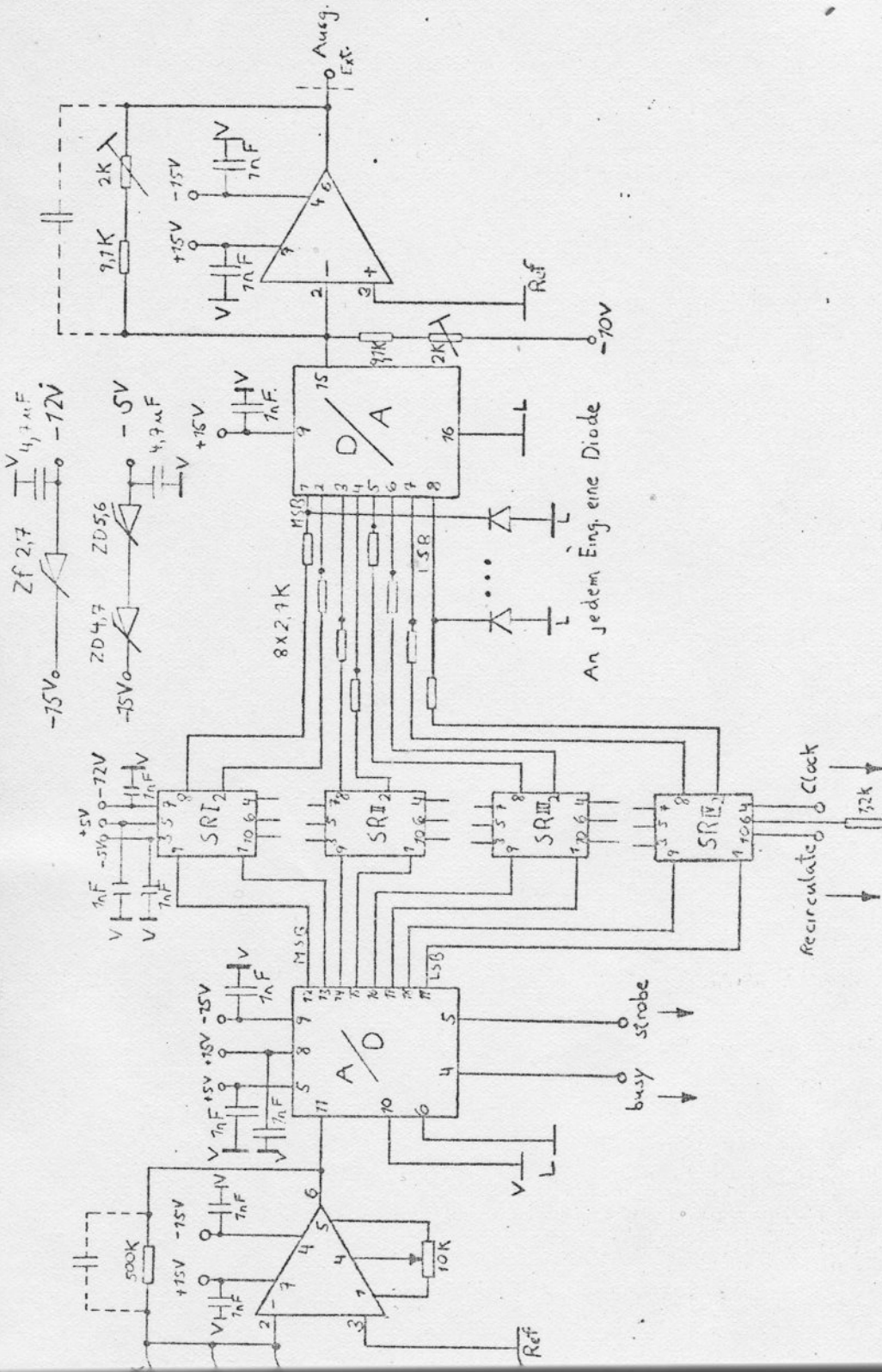
Ausgangsspannungsbereich U_a : - 10V U_a + 10V

Regelungsspannungsbereich
des VCO U_r : - 10V U_r -0,1V

Gesamtstromaufnahme I_g : $I_g = 410 \text{ mA}$ 2

Totzeitbereich T_t : 1 mS T_t 10 S

Betriebsarten: Halt, Anfangsbe-
dingung, Rechnen



Pin 3 von SR I, II, III, und IV sind verbunden.
 Pin 4 " " " " " " " " " "
 Pin 5 " " " " " " " " " "
 Pin 6 " " " " " " " " " "
 Pin 7 " " " " " " " " " "
 Pin 10 " " " " " " " " " "

An jedem Eing. eine Diode

12V sind an jedem SR. abgeblockt

GEZEICHNET				MASSTAB			
AUSG.				TAG			
AND. MIT.				BEARB. GEPR.			
				-55-			

